中国科学技术大学

博士学位论文



CEPC 成像型模拟强子量能器样机读出电子学系统研究

作者姓名： 周安顺

学科专业： 物理电子学

导师姓名： 刘树彬 教授 沈仲弢 副研究员

完成时间： 二〇二四年三月

University of Science and Technology of China

A dissertation for doctor's degree



Research on Readout Electronics for CEPC Analog Hadronic CALorimeter prototype

Author: Zhou Anshun

Speciality: Physical Electronics

Supervisors: Prof. Liu Shubin

Asso Prof. Shen Zhongtao

Finished time: March 2024

中国科学技术大学学位论文原创性声明

本人声明所呈交的学位论文,是本人在导师指导下进行研究工作所取得的成果。除已特别加以标注和致谢的地方外，论文中不包含任何他人已经发表或撰写过的研究成果。与我一同工作的同志对本研究所做的贡献均已在论文中作了明确的说明。

作者签名：_____　　签字日期：_____

中国科学技术大学学位论文授权使用声明

作为申请学位的条件之一，学位论文著作权拥有者授权中国科学技术大学拥有学位论文的部分使用权，即：学校有权按有关规定向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅，可以将学位论文编入《中国学位论文全文数据库》等有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。本人提交的电子文档的内容和纸质论文的内容相一致。

控阅的学位论文在解除后也遵守此规定。

□公开　□控阅（____年）

作者签名：_____　　导师签名：_____

签字日期：_____　　签字日期：_____

摘 要

希格斯玻色子的精确测量是当前高能物理学研究最迫切的任务，下一代高能正负电子对撞机是得到普遍认同的关键手段，国际上已有多种方案被提出，其中包括环形正负电子对撞机（Circular Electron-Positron Collider, CEPC）。为了突破现有探测器系统能量分辨率上限，CEPC 探测器系统的基准设计采用了基于粒子流算法的技术方案。成像型强子量能器同时具备极细的颗粒度和良好的能量分辨率，是粒子流算法的硬件基础，也是 CEPC 探测器系统的核心组件。成像型模拟强子量能器（Analog Hadron CALorimeter, AHCAL）使用塑料闪烁体和硅光电倍增管（Silicon PhotoMultiplier, SiPM）作为取样单元，是成像型强子量能器重要的技术路线之一。

基于上述内容，本文的研究目标是：根据 CEPC 的物理需求，为 AHCAL 样机提出完整的读出电子学系统方案，并通过束流测试验证其能否满足 CEPC 探测器系统的需求。

样机的关键性能指标为：对于能量在 10 GeV 到 80 GeV 的入射强子，样机的重建能量E_h的分辨率好于 $60\%/\sqrt{E_h}$、线性好于 3%。结合 SiPM 增益对温度敏感的问题和 CEPC 高亮度的特点，可以确定出样机电子学系统需求为：通道数为 12,960；电子学集成度在 5 cm^3/每通道；电子学动态范围在 980 fC ~ 235 pC；电子学噪声小于 326 fC；可以对 SiPM 做在线增益刻度；最大事例率高于 3 kHz。

针对电子学需求，本文按照前端读出电子学和数据获取电子学的分类方式，从最小取样单元的读出方法出发，逐步将研究工作推进到取样层全通道的读出方法、前端板的数据读出方法乃至所有取样层的数据汇总方法，完成了 CEPC AHCAL 样机完整的读出电子学系统研究工作。在研究过程中，本文就 CEPC AHCAL 样机电子学系统的难点问题，提出了下列关键技术：

1. 大规模、高密度 SiPM 读出技术：围绕取样单元的能量分辨率和线性需求，展开了核电子学方法讨论，设计了所有取样单元通道的信号处理设计方法。考虑到细颗粒度和庞大通道数的特点，拟采用用户定制集成电路芯片（Application-Specific Integrated Circuit, ASIC），根据设计的信号处理方法，选定了合适的 ASIC，并对读出电路的增益、动态范围以及信噪比展开了优化研究，以适应样机需求。

2. SiPM 增益刻度技术：SiPM 的温度敏感性对量能器的分辨率和线性造成不利影响必须消除，本文提出了包含 SiPM 增益在线刻度和工作温度实时监测两项关键技术在内的离线增益修正方法。首先，由于通道数庞大无法一一监测工作温度，本文借助有限元分析方法讨论并提出了利用稀疏探头检测并计算温度

场的可扩展温度监测技术；其次，通过计算和实验测试，最终确定出使用蓝光 LED 在线刻度 SiPM 增益的技术方案，克服了现有技术对 LED 电容敏感的缺点。

3. 低死时间 ASIC 读出技术：针对 CEPC 高亮度的特点，需要尽快将获取的信号数字化并读出，通过分析目前国际上成像型量能器样机中数据读出中的缺点，本文从电路结构的调整和数据读出逻辑的改进两方面，提出了“并行读出”的方法，将数据读出死时间降低到了同类型样机的 1/60。

在完成方法研究工作后，本文按照模块化的思路提出并设计并实现了 CEPC AHCAL 样机读出电子学系统，其中包括前端读出电子学和数据获取电子学两部分。前端读出电子学由 40 层前端板组成，每层前端板集成了 324 通道 SiPM 和相应的 9 片信号处理 ASIC ，单通道体积小于 4.8 cm^3。数据获取电子学由 40 块数据接口板和 1 块数据汇总板组成，可以实现对科学数据和监测数据的数字化和独立存储。随后，本文进行了电子学测试，测试结果表明：电子学噪声为 25 fC；动态范围在 75 fC ~ 240 pC；SiPM 平均增益约为 25 ADC code/p.e.；样机最大事例率高于 3 kHz。

为了进一步测试 CEPC AHCAL 样机的实际性能，工作组将样机发往欧洲核子中心，并开展了三次束流实验。得益于本文提出的低死时间数据读出技术，样机事例积累速度是同类型样机的 8 倍以上，采集了约 4000 万高能粒子事例。数据分析工作表明，本文提出的大规模、高密度 SiPM 读出技术的信噪比为 20.6，保证了样机的全通道 MIP 刻度。基于准确的刻度结果，样机的能量分辨率好于 $57.6\%/\sqrt{E_h} \oplus 2.3\%$（10 GeV ~ 80 GeV），能量线性在±1.5%（10 GeV ~ 80 GeV）以内，可以满足 CEPC 强子量能器性能指标。此外，SiPM 刻度技术可以将能量重建结果与模拟预期的差异从 23%缩小至 11%，为样机能量分辨率的进一步提高创造了条件。

综上所述，本文面向 CEPC 成像型模拟强子量能器样机设计的读出电子学系统可以满足设计需求，为 CEPC 强子量能器的建造积累了关键技术。

关键词：核电子学，多通道高密度信号读出和集成，探测器读出，读出电子学，环形正负电子对撞机，成像型模拟强子量能器

ABSTRACT

The precise measurement of the Higgs boson is the most urgent task in current high-energy physics research. The next-generation high-energy electron-positron collider is a key means that is generally recognized. A variety of plans have been proposed internationally, including Circular Electron-Positron Collider (CEPC). To break through the upper limit of energy resolution of existing detector systems, the baseline design of the CEPC detector system adopts a technical solution based on the particle flow algorithm. The imaging hadron calorimeter has both extremely fine granularity and good energy resolution. It is the hardware foundation of the particle flow algorithm and the core component of the CEPC detector system. The imaging analog hadron calorimeter (AHCAL) uses plastic scintillator and silicon photomultiplier tube (SiPM) as the sampling unit, which is one of the important technical routes of the imaging hadron calorimeter.

Based on the above content, the research goal of this article is to propose a complete readout electronics system solution for the AHCAL prototype based on the physical requirements of CEPC and verify whether it can meet the needs of the CEPC detector system through beam testing.

The key performance indicators of the prototype include energy resolution better than $60\%/\sqrt{E_h}$(10 GeV ~ 80 GeV) and energy linearity better than 3% (10 GeV ~ 80 GeV). Combining the problem of SiPM gain being sensitive to temperature and the high brightness of CEPC, the electronic system requirements of the prototype can be determined as follows: the number of channels is 12,960; the electronics integration density is 5 cm^3/per channel; the electronics dynamic range is 980 fC ~ 235 pC; electronic noise is less than 326 fC; online gain scaling can be done on SiPM; maximum event rate is higher than 3 kHz.

In response to electronics needs, this article follows the classification of front-end readout electronics and data acquisition electronics, starting from the readout method of the smallest sampling unit, and gradually advances the research work to the readout method of the full channel of the sampling layer, the data readout method of the single sampling layer and the data aggregation method of all sampling layers to complete the research work on the complete readout electronics system of the CEPC AHCAL prototype.

This article proposes the following key technologies regarding the difficult issues of the CEPC AHCAL prototype electronics system:

1. Large-scale, high-density SiPM readout technology: Focusing on the energy resolution and linear requirements of the sampling unit, nuclear electronics methods were discussed, and signal processing design methods for all sampling unit channels were designed. Considering the characteristics of fine granularity and huge number of channels, it is planned to use Application-Specific Integrated Circuits (ASIC). According to the designed signal processing method, a suitable ASIC is selected, and the gain, dynamic range and signal-to-noise ratio were optimized to meet the needs of the prototype.

2. SiPM gain scaling technology: The adverse effects of the temperature sensitivity of SiPM on the resolution and linearity of the calorimeter must be eliminated. This article proposes an offline gain correction that includes two key technologies: online scaling of SiPM gain and real-time monitoring of operating temperature. method. First, due to the large number of channels, it is impossible to monitor the operating temperature one by one. This paper uses the finite element analysis method to discuss and propose a scalable temperature monitoring technology that uses sparse probes to detect and calculate the temperature field. Secondly, through calculation and experimental testing, the use of the technical solution for online calibration of SiPM gain for blue LEDs overcomes the shortcoming of the existing technology being sensitive to LED resistance.

3. Low dead time ASIC readout technology: In view of the high brightness characteristics of CEPC, the acquired signal needs to be digitized and read out as soon as possible. By analyzing the shortcomings in data readout in the current international imaging calorimeter prototypes, this article proposed a "parallel readout" method including the structural optimization of the circuit and the improvement of the data readout logic. The data readout dead time was reduced to 1/60 of that of the same type of prototype through this method.

After completing the method research work, this paper proposed, designed and implemented the CEPC AHCAL prototype readout electronics system according to the modular idea, which includes front-end readout electronics and data acquisition electronics. The front-end readout electronics consists of 40 layers of front-end boards. Each front-end board integrates 324-channel SiPM and corresponding 9-chip signal processing ASICs. The single-channel volume is less than 4.8cm^3. The data acquisition

electronics consists of 40 data interface boards and 1 data summary board, which can realize the digitization and independent storage of scientific data and monitoring data. Subsequently, this article conducted electronic tests, and the test results showed that: the electronic noise is 25 fC; the dynamic range is 75 fC ~ 240 pC; the average SiPM gain is about 25 ADC code/p.e.; the maximum case rate of the prototype is higher than 3 kHz.

For the further test of the actual performance of CEPC AHCAL prototype, the working group sent the prototype to CERN and conducted three beam experiments. Thanks to the low dead time data readout technology proposed in this article, the prototype case accumulation speed is more than 8 times that of the same type of prototype, and approximately 40 million high-energy particle cases have been collected. Data analysis work shows that the signal-to-noise ratio of the large-scale, high-density SiPM readout technology proposed in this article is 20.6, ensuring the full-channel MIP scale of the prototype. Based on the accurate calibration results, the energy resolution of the prototype is better than $57.6\%/\sqrt{E_h} \oplus 2.3\%$(10 GeV ~ 80 GeV), and the energy linearity is within $\pm 1.5\%$(10 GeV ~ 80 GeV), which can meet the CEPC hadron calorimeter performance indicators. In addition, SiPM scaling technology can reduce the difference between energy reconstruction results and simulation expectations from 23% to 11%, creating conditions for further improvement of the energy resolution of the prototype.

In summary, the readout electronics system designed in this article for the prototype of CEPC AHCAL prototype can meet the design requirements and accumulate key technologies for the construction of CEPC hadron calorimeter.

Key Words: Nuclear electronics, Readout and Integration of Multi-channel high-density signal, Detector Readout, Readout Electronics, Circular Electron-Positron Collider, Imaging Anolog Hadronic Calorimeter

目 录

摘 要.....I

ABSTRACT.....III

第 1 章 绪论.....1

1.1 希格斯玻色子属性的精确测量.....2
1.2 下一代高能正负电子对撞机.....3
1.2.1 ILC 与 CLIC.....4
1.2.2 CEPC 与 FCC.....6
1.3 粒子流算法与成像型量能器.....7
1.3.1 粒子流算法.....8
1.3.2 成像型量能器.....10
1.4 成像型强子量能器样机国内外研究现状.....12
1.4.1 CALICE AHCAL 样机.....12
1.4.2 CALICE SDHCAL 样机.....13
1.4.3 成像型强子量能器研究现状小结.....16
1.5 论文选题与章节安排.....17

第 2 章 CEPC AHCAL 样机电子学系统需求讨论.....19

2.1 通道数与集成度.....20
2.2 动态范围与噪声.....23
2.3 SiPM 刻度需求.....25
2.4 事例率需求.....26
2.5 事例筛选与对齐.....27
2.6 本章小结.....28

第 3 章 CEPC AHCAL 样机前端读出电子学方法研究.....29

3.1 单通道 SiPM 信号读出方法研究.....30
3.1.1 单通道前置放大器和主放大器研究.....30
3.1.2 关键 ASIC 的选择及功能验证.....42

3.2 全通道 SiPM 信号读出方法研究.....46
3.2.1 单通道读出方法的推广与验证.....46
3.2.2 基于温度监测的 SiPM 刻度技术研究.....50
3.2.3 基于单光电子峰谱的 SiPM 刻度技术研究.....60
3.3 本章小结.....75
第 4 章 CEPC AHCAL 样机数据获取电子学方法研究.....76
4.1 低死时间数据读出方法研究.....77
4.1.1 SPIROC2E 电路结构的优化.....78
4.1.2 SPIROC2E 并行读出技术.....82
4.1.3 测试验证.....87
4.2 数据汇总方法研究.....89
4.2.1 时钟触发方法研究.....89
4.2.2 数据传输方法研究.....92
4.2.3 事例筛选与对齐方法研究.....94
4.2.4 测试验证.....98
4.3 本章小结.....100
第 5 章 CEPC AHCAL 样机读出电子学系统设计与实现.....101
5.1 前端读出电子学设计与实现.....102
5.1.1 前端读出电子学板设计.....102
5.1.2 前端读出电子学板实现.....103
5.2 数据获取电子学设计与实现.....107
5.2.1 数据接口板设计与实现.....107
5.2.2 数据汇总板设计与实现.....111
5.3 读出电子学系统整体宇宙线测试.....116
5.4 本章小结.....119
第 6 章 束流测试与数据分析.....121
6.1 束流测试.....121
6.1.1 SPS H8C 束流实验.....122
6.1.2 SPS H2A 束流实验.....124
6.1.3 PS T9 束流实验.....125

6.2 数据分析.....127
6.2.1 径迹测试结果.....127
6.2.2 样机刻度结果.....129
6.2.3 能量分辨率测试结果.....132
6.2.4 能量线性测试结果.....134
6.2.5 粒子重建修正结果.....135
6.3 本章小结.....136
第 7 章 总结与展望.....137
7.1 总结.....137
7.2 展望.....139
附录 A SPIROC2E 刻度办法.....140
附录 B 温度探头读出方法.....143
参考文献.....144
致 谢.....151
在读期间发表的学术论文与取得的其他研究成果.....153

第1章　绪论

19 世纪末，约瑟夫·汤姆孙在阴极射线实验中发现了电子[1]，这是人类首次通过实验证实了一种基本粒子的存在。进入 20 世纪中后期，得益于量子力学的成功，人们对于基本粒子的研究进入了高速发展的阶段，大量的新粒子在对撞实验中被发现。建立简洁完备的大统一理论系统地描述组成物质的基本粒子是高能物理所追求的重要目标之一，目前最为成功的理论被称为标准模型（图 1-1）。经过实验的检验，标准模型可以很好地统一描述强相互作用力、弱相互作用力以及电磁力[2][3]。

为了进一步完善标准模型，希格斯机制被引入以实现电弱对称性的破缺，从而赋予基本粒子质量[4][5][6]。希格斯玻色场的存在是希格斯机制的重要前提。希格斯玻色子作为希格斯玻色场的量子激发，是证明希格斯场存在的关键证据。

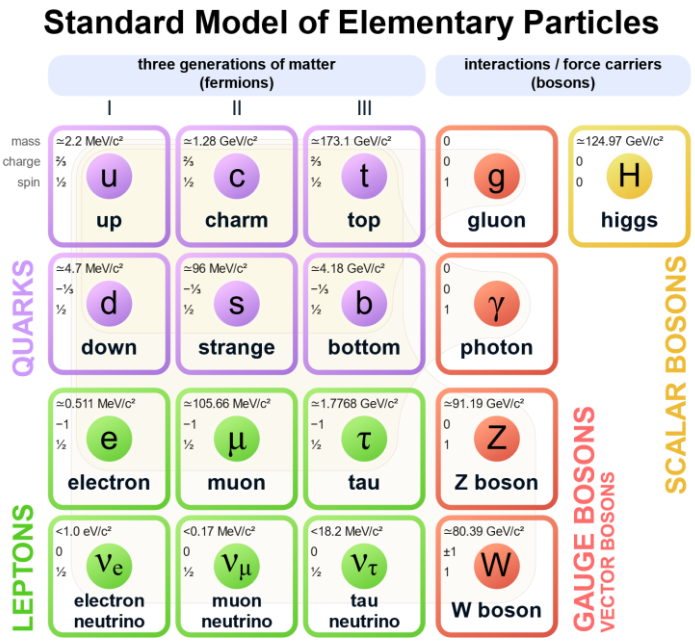


图 1-1 标准模型[2]

2012 年 7 月 4 日，欧洲核子中心（the European Organization for Nuclear Research, CERN）宣布在大型强子对撞机（the Large Hadron Collider, LHC）的超环面仪器（A Toroidal LHC ApparatuS, ATLAS）和紧凑缪子线圈（Compact Muon Solenoid, CMS）两套探测器中都观测到了一个类希格斯玻色子的新粒子，质量为 125 GeV[7][8]，并于次年确认观测到的粒子就是希格斯玻色子。希格斯玻色子的发现证明了希格斯玻色机制的正确性，使得标准模型得以自洽。

1.1 希格斯玻色子属性的精确测量

基于 LHC 已经取得的成果，展开对希格斯玻色子属性的精确测量是解决高能物理学现有重大问题的重要途径，其中包括：电弱对称性自发破缺机制、电弱相变以及真空稳定性等。此外，对于希格斯玻色子属性的精确测量也是寻找包括暗物质在内的新物理可能的突破点所在。

希格斯玻色子在产生后会在极短的时间内（平均寿命 1.55×10^{-22} s）发生衰变，因此对希格斯玻色子的精确测量主要围绕其不同衰变道展开。表格 1-1[9]展示了根据标准模型预测的希格斯玻色子的衰变道以及其分支比，其中比较受关注的衰变道是$H\to WW^*$和$H\to ZZ^*$[10][11]。

表格 1-1 标准模型预测的希格斯玻色子衰变道[9]

Decay mode	Branching ratio	Relative uncertainty
$H\to b\bar{b}$	57.7%	+3.2%, -3.3%
$H\to c\bar{c}$	2.91%	+12%, -12%
$H\to gg$	8.57%	+10%, -10%
$H\to \tau^+\tau^-$	6.32%	+5.7%, -5.7%
$H\to \mu^+\mu^-$	2.19×10^{-4}	+6.0%, -5.9%
$H\to WW^*$	21.5%	+4.3%, -4.2%
$H\to ZZ^*$	2.64%	+4.3%, -4.2%
$H\to \gamma\gamma$	2.28×10^{-3}	+5.0%, -4.9%
$H\to Z\gamma$	1.53×10^{-3}	+9.0%, -8.8%

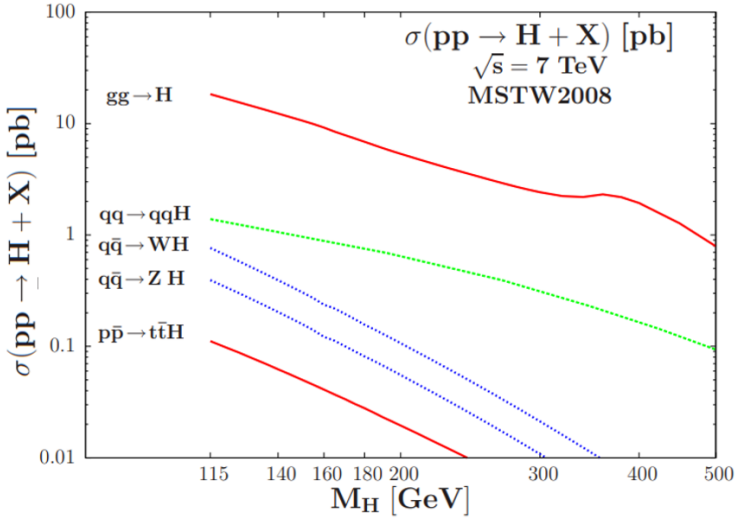


图 1-2 质心能量为 7 TeV 时，质子对撞产生希格斯玻色子反应截面图[14]。

虽然希格斯玻色子在 LHC 中被确认发现，但是 LHC 却难以胜任对希格斯玻色子属性的精确测量。图 1-2 为质子对撞产生希格斯玻色子的反应截面图，在质心能量为 7 TeV 的条件下，LHC 中的总质子-质子横截面的最小值约 110 mb[12]，希格斯玻色子的产生截面仅为 16.9 pb[13]，可以推算出在 LHC 中产生希格斯玻色子的概率仅为 $1/10^{10}$。除此之外，LHC 每次束团对撞约有 50 个相互作用顶点，产生的末态粒子种类和数量繁多，从而导致希格斯玻色子某些重要衰变道淹没在本底中无法探测，例如备受关注的$H \to WW^*$和$H \to ZZ^*$。

由于强子对撞机制备希格斯玻色子的效率极低且本底较高，借助同样可以制备希格斯玻色子并能够提供低本底环境的正负电子对撞机作为下一代希格斯工厂是推动希格斯玻色子精确测量的关键手段。如图 1-3[15]所示，当正负电子对撞机运行在 250GeV 附近时可以提供丰富的希格斯玻色子、W 玻色子以及 Z 玻色子，并且正负电子对撞机的测试结果还可以与 LHC 在高能量前沿的测量结果相互补充。

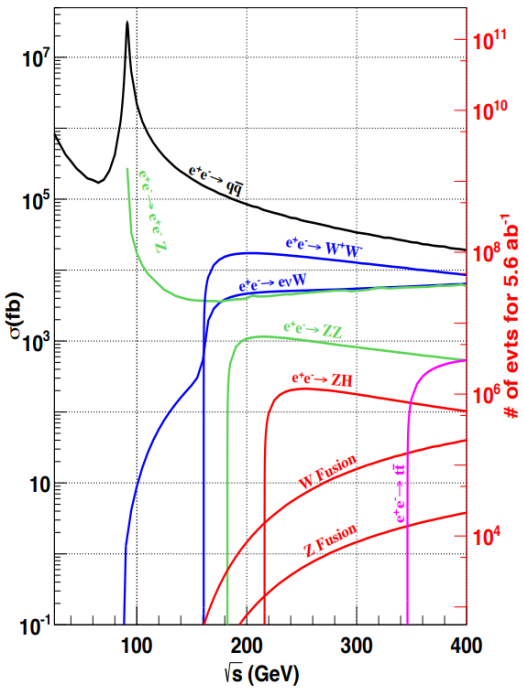


图 1-3 标准波形下非极化的正负电子对撞的反应截面与质心能量关系图[15]

1.2 下一代高能正负电子对撞机

世界上质心能量最高的正负电子对撞机是大型直线正负电子对撞机（Large Electron-Positron Collider, LEP），其运行期间所能达到的最高能量为 209 GeV。LEP 极大地推动了电弱物理的研究[16]，然而其未能达到高效制备希格斯玻色子的能量阈值，并且已经于 2001 年退役为 LHC 的建造留出空间。因此，建造可

以成为希格斯工厂的下一代高能正负电子对撞机，是当前高能物理学研究最迫切的任务。

对撞机所能达到的最大质心能量由粒子加速器决定，加速器的基本原理是通过电场为带电粒子加速，使其达到对撞所需的能量。现阶段在加速器中实现粒子加速最核心的组件为超导高频腔，超导高频腔的建造难度和维护成本都极高，是制约对撞机能量提高的重要因素之一。

按照加速轨道的形状可以将加速器分为直线加速器和环形加速器。直线加速器中超导高频腔呈直线排列，为获得 250 GeV 的质心能量需要几千台超导高频腔工作在 20 km 以上的隧道中。环形加速器中超导高频腔只分布在环形隧道的少数几个地方，带电粒子在环形管道中可以多次利用同一个超导高频腔小步加速，从而达到对撞所需能量。但是环形加速器中存在同步辐射损失能量的问题，一般只应用在能量较低（<300 GeV）的对撞机中。

以希格斯玻色子的精确测量为目标，就下一代高能正负电子对撞机，国际上已有多种方案被提出：直线对撞机有：国际直线对撞机（International Linear Collider, ILC）和紧凑直线对撞机（Compact LInear Collider, CLIC ）；环形对撞机有：环形正负电子对撞机（Circular Electron-Positron Collider, CEPC）和未来环形对撞机（Future Circular Collider, FCC）。

作为希格斯玻色子精确测量的关键手段，下一代高能正负电子对撞机将会成为未来世界高能物理研究的焦点，极大地推动对撞机所在地区基础学科的发展。

1.2.1 ILC 与 CLIC

ILC 的关键技术研究由国际未来加速器委员会（International Committee for Future Accelertors）主导开展，目前已经经历了约 20 年的发展。2013 年，由来自 48 个国家和 392 个研究机构的 2400 名科学家签署的 ILC 技术研究报告（Technical Design Report, TDR）正式发布，并在报告中确定了日本为最有可能的 ILC 建造地[17]。

ILC 的工作计划按照质心能量分为三个阶段，分别为 250 GeV、500 GeV 以及 1 TeV[17]。图 1-4 为 ILC 工作在第一阶段的加速器布局图，在此阶段加速器轨道长度为 20 km，可以提供大量干净的希格斯玻色子事例。ILC 在第二阶段的会将加速器长度将升级到 31 km，面向希格斯玻色子自耦合以及希格斯玻色子与顶夸克耦合的精确测量。最终 ILC 的加速器轨道将升级到 40 km，用于在高能区寻找新物理。

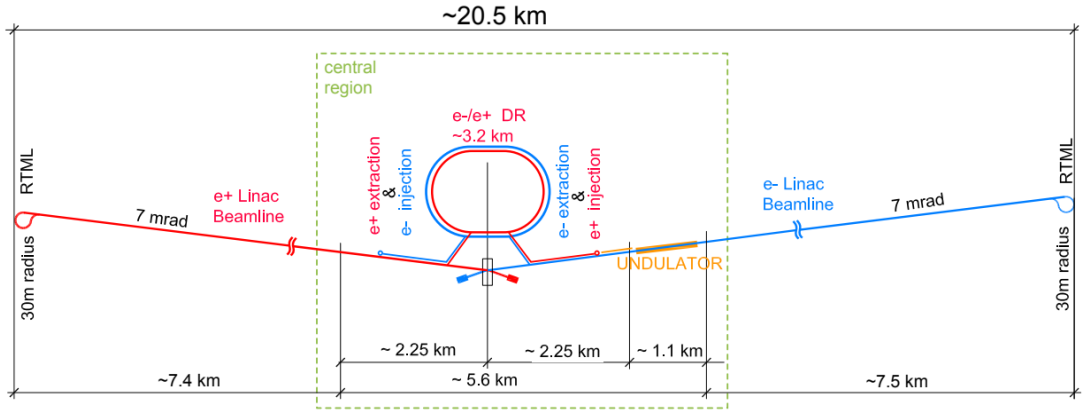


图 1-4 250 GeV 阶段 ILC 加速器布局[18]

CLIC 是由 CERN 主导，联合世界各地研究机构共同提出的计划建造在日内瓦湖畔的下一代正负电子对撞机。CLIC 将使用新颖的双光束加速技术以达到几个 TeV 的质心能量，其常导加速结构的工作范围为 70 MV/m 至 100 MV/m[19]。

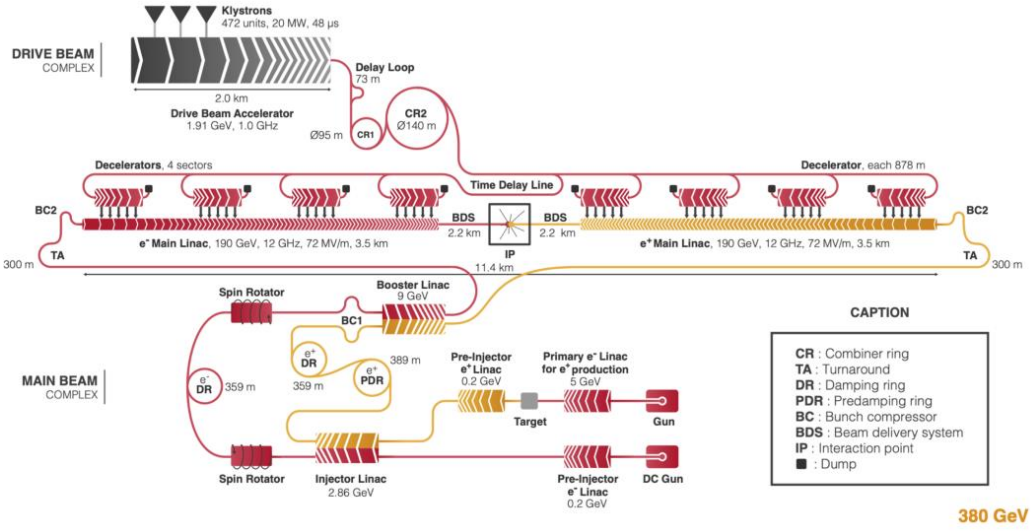


图 1-5 CLIC 第一阶段加速器布局[20]

CLIC 计划工作约 22 年，其中分为 3 个工作阶段，分别承担不同的测量任务。CLIC 第一阶段的加速器布局如图 1-5[20]所示，隧道长度为 11.4 km，质心能量为 380 GeV，面向费米子和玻色子希格斯耦合的精确测量。CLIC 在完成第一阶段的测试任务后，隧道将升级到 29 km 以达到 1.5 TeV 的质心能量，可以测量希格斯玻色子和顶夸克的额外性质，其中包括顶夸克汤川耦合和希格斯玻色子自耦合等。进入第三阶段，CLIC 的隧道长度将升级到 50.1 km，质心能量达到 3 TeV，可以直接发现和测量成对产生的粒子，进一步扩大 CLIC 的物理潜力。

1.2.2 CEPC 与 FCC

CEPC 是由中国高能物理学界牵头在 2012 年提出，计划在国内建造的下一代正负电子对撞机。CEPC 的对撞机环长达 100 km[21]，图 1-6[21] 为其主要组成部分布局，包括直线加速器（Linac）、助推器（Booster）和对撞机（Collider）。正负电子首先会在直线加速器中加速到 10 GeV，然后被注入到助推器中加速到所需能量，之后会经过同轴注入机（On-axis injection）或离轴注入机(Off-axis injection)注入到对撞机环中。对撞机环有八段直线段，分别为两段对撞区域，两段用于稳定轨道的超导腔（RF station）以及四段与注入机相对应的注入区。此外，在不拆解 CEPC 的前提下，利用已经建成的地下轨道，可以升级为二期超级质子对撞机（Super Proton-Proton Collider, SPPC）。

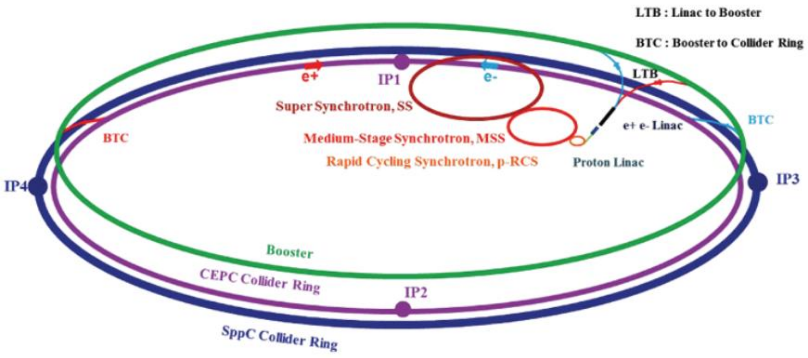


图 1-6 CEPC 布局[21]

CEPC 建成后十年内的工作计划如表格 1-2 所示。在 CEPC 运行期间内可以产生 10^6 纯净的希格斯玻色子事例，并且可以制备多达 10^{11}~10^{12} 的 Z 玻色子和 10^8 的 W 玻色子。

表格 1-2 CEPC 工作计划[21]

工作模式	Z 玻色子工厂	WW 阈值扫描	希格斯工厂
$\sqrt{s}$(GeV)	91.2	158-172	240
运行时间（年）	2	1	7
希格斯玻色子产量	-	-	10^6
W 玻色子产量	-	10^7	10^8
Z 玻色子产量	10^{11}~10^{12}	10^8	10^8

FCC 是由 CERN 提出，计划在 LHC 旁建造的下一代环形对撞机，其目标为推动粒子对撞机的能量和亮度前沿发展，探索新的物理学。图 1-7 给出了 FCC 的基本结构图，FCC 由轻子对撞机 FCC-ee 和强子对撞机 FCC-hh 共同组成，对撞机环长度达到 97.76 km[22]。FCC-ee 主要面向希格斯玻色子属性的精确测量，

将在质心能量分别为 240 GeV 和 365 GeV 的条件下工作 3 年和 4 年以上。FCC-hh 的质心能量将达到 100 TeV 以上，从而扩展 LHC 研究极限。

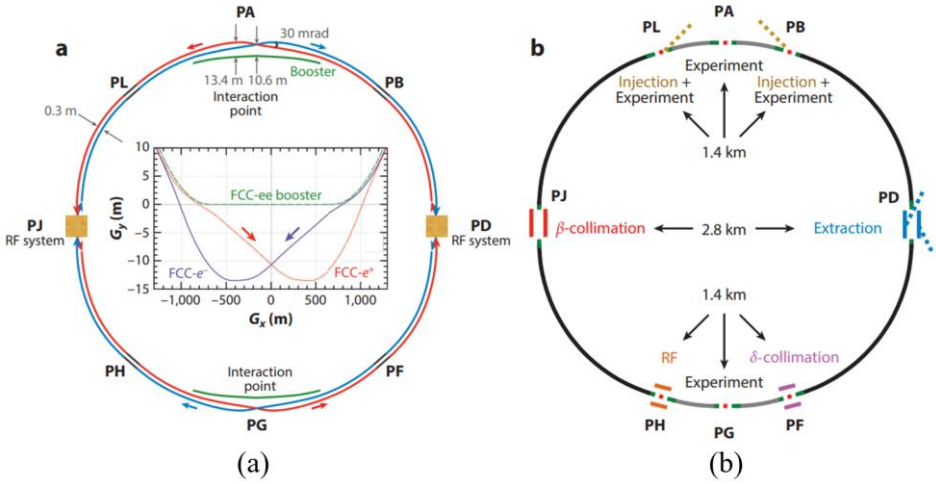


图 1-7 FCC 结构图：(a) FCC-ee 结构图[22]； (b) FCC-hh 结构图[22]

直线正负对撞机和环形正负电子对撞机的优势是互补的，以 ILC 和 CEPC 为例，ILC 的质心能量更高可以达到 500 ~ 1000 GeV，但是 CEPC 的亮度可以达到 ILC 的 10^3 以上，并且 CEPC 更有利于 W 玻色子和 Z 玻色子的测量。希格斯玻色子的精确测量是粒子物理研究必须完成的任务，下一代正负电子对撞机的建造是关键手段。CEPC 具备不可替代的优势，一旦建成，中国将成为全球高能物理研究的中心。

1.3 粒子流算法与成像型量能器

对希格斯玻色子属性的精确测量不仅需要下一代高能正负电子对撞机制备出大量纯净的希格斯玻色子事例，还需要一套具备高能量分辨率的探测器系统对希格斯玻色子复杂的衰变产物做精确的测量。

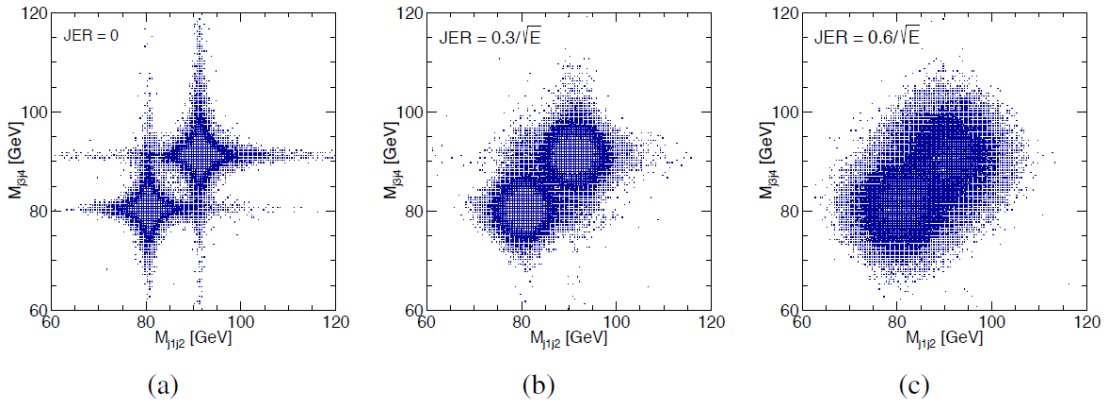


图 1-8 不同能量分辨率下 W 玻色子和 Z 玻色子的重建结果[23]

包括希格斯玻色子在内的短寿命高能粒子会在衰变后形成喷注，探测器系统对希格斯玻色子的探测主要是围绕其产生的喷注展开。W 玻色子和 Z 玻色子是希格斯玻色子重要的衰变产物，图 1-8[24]给出了不同喷注能量分辨率*下 W 玻色子和 Z 玻色子的重建结果，由于两者的质量较为接近，分别为 80.399±0.023 GeV[25]和 91.1876±0.0021 GeV[26]，当喷注能量分辨率在$30\%/\sqrt{E_{jet}}$时，W 玻色子和 Z 玻色子可以区分出来；当喷注能量分辨率较差高于$30\%/\sqrt{E_{jet}}$时，两者的重建结果会发生交叠，难以分辨。

基于上述内容可以得到，对于希格斯玻色子属性的精确测量要求量能器系统的喷注能量分辨率好于$30\%/\sqrt{E_{jet}}$，然而传统探测器系统所能达到的最佳喷注能量分辨率仅为$60\%/\sqrt{E_{jet}}$左右[27]。为了大幅度提高量能器系统所能达到的能量分辨率水平，需要对现有的量能器结构做出较大的改动，目前比较主流的方法有粒子流重建算法（Particle Flow Algorithm， PFA）和双读出方法。借鉴 ILC 量能器系统的设计方案，CEPC 量能器系统的基本框架基于 PFA 展开，由于本文的主要工作内容是 CEPC 模拟强子量能器样机读出电子学系统研究，后续内容不对双读出方法做更多讨论。

1.3.1 粒子流算法

喷注的成分较为复杂，一般地，其中 62%是带电粒子（基本为强子），27%是光子，10%是中性强子还有 1%其他粒子[28]。对于喷注的能量探测，传统探测器系统的做法是使用电磁量能器（Electromegnetic CALorimeter, ECAL）和强子量能器（Hadron CALorimeter, HCAL）分别探测光子和强子。由于强子簇射的空间展宽较大，并且大尺寸灵敏材料造价高昂，传统探测器系统无法达到更高的喷注能量分辨率。PFA 的基本思路是通过细化量能器的颗粒度，实现粒子的分类探测，降低强子量能器在喷注测量中的占比，从而提高探测器系统的喷注能量分辨率。

带电粒子、光子和中性强子在探测器系统中会表现出不同的径迹特征，这是 PFA 实现分类探测的重要前提。因此，基于 PFA 设计的探测器系统需要具备极细的颗粒度以获取精细的粒子径迹信息。图 1-9[29]是不同入射粒子在不同量能器中的径迹模拟结果，其中径迹探测器使用的是时间投影室（Time Projection Chamber, TPC），从左到右入射粒子依次是 10 GeV 的光子，10 GeV 的π^+以及 10 GeV 的K_L^0。从图中的模拟结果可以看出：带电粒子（基本是带电强子，如π^+）会在径迹探测器中留下径迹信息，而中性强子不带电，无法使用径迹探测器探

* 喷注能量分辨率是探测器系统整体的表现，实际的探测器系统包含电磁量能器、强子量能器等组件在内，各项组件所能达到的能量分辨率与探测器系统整体表现存在差异性。

测；光子簇射具有紧凑的特征，而中性强子簇射空间展宽较大。

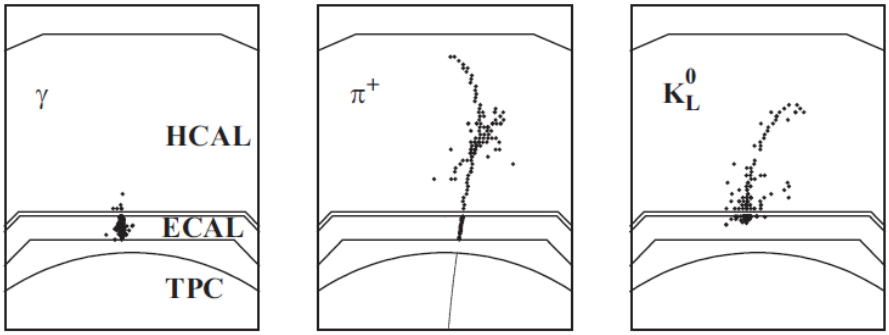


图 1-9 单个 10 GeV 粒子在粒子流探测器理论模型中的径迹图[29]

基于上述物理现象，PFA 探测器系统的工作原理如图 1-10（b）[30]所示，PFA 探测器系统中的强子量能器的颗粒度相较于如图 1-10（a）[30]所示的传统量能器系统更为精细，可以获取精确的粒子径迹信息，从而可以借助径迹信息对粒子做分类探测。

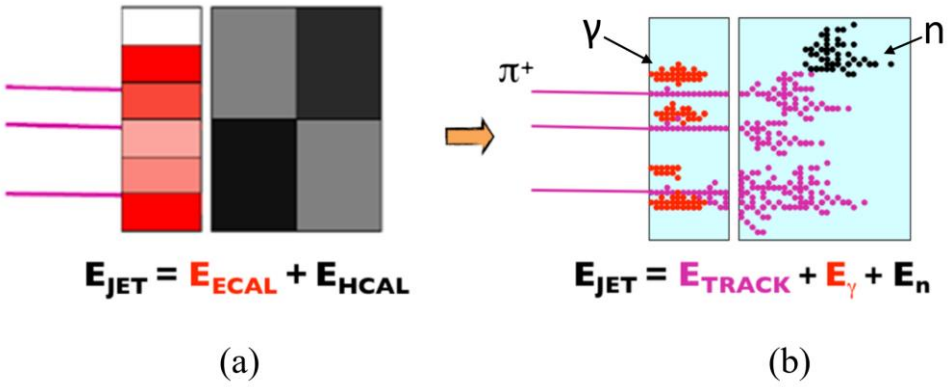


图 1-10 探测器系统工作原理对比：(a) 传统探测器系统工作原理[30]；(b) PFA 探测器系统工作原理[30]

表格 1-3 不同喷柱成分对喷注能量分辨率的贡献表[31]

成分	探测器	能量占比	能量分辨率
带电粒子	径迹探测器	$\sim 0.6E_{jet}$	$10^{-4}E_{X^{\pm}}$
光子	电磁量能器	$\sim 0.3E_{jet}$	$15\%/\sqrt{E_{\gamma}}$
中性强子	强子量能器	$\sim 0.1E_{jet}$	$60\%/\sqrt{E_h}$
喷注			$\mathbf{20\%/\sqrt{E_{jet}}}$

为了使得 PFA 探测器系统的喷注能量分辨率达到$30\%/\sqrt{E_{jet}}$以上，强子量能器不仅需要具备极细的颗粒度，还需要具备良好的能量分辨率。CEPC 探测器系

统面向不同粒子的分类探测办法具体如表格 1-3[31]所示，其中径迹探测器负责探测带电粒子，电磁量能器和强子量能器分别负责光子的中性强子的探测。CEPC 强子量能器需要在通道数远超现有大型强子量能器的条件下，保证能量分辨率与其最高水平[32]保持一致，达到 $60\%/\sqrt{E_h}$的条件下，CEPC 探测器系统的喷注能量分辨率方可达到$20\%/\sqrt{E_{jet}}$，以满足希格斯玻色子精确测量对探测器系统能量分辨率的要求。

综上所述，PFA 是提高探测器系统能量分辨率，满足希格斯玻色子的精确测量需求的重要途经，基于该方案设计的探测器系统的喷注能量分辨率有望达到$30\%/\sqrt{E_{jet}}$。强子量能器作为 PFA 探测器系统中的关键组件，需要在具备极细颗粒度的同时，对喷注中强子成分的能量分辨率需要好于$60\%/\sqrt{E_h}$。

1.3.2 成像型量能器

成像型量能器是量能器技术最重要的前沿方向之一，同时具备极细的颗粒度和良好的能量分辨率， 是 PFA 探测器系统的硬件基础[33]。

成像型量能器工作的物理基础为：高能粒子在介质内发生簇射，产生大量次级粒子从而快速地在有限的物质量内沉积全部能量。能够让高能粒子沉积能量，并将该部分能量转换为可探测信号的材料被称为灵敏材料；能够让高能粒子快速沉积能量，但不产生可探测信号的材料则称为吸收体。

极细的颗粒度是成像型量能器的一般特征，成像型量能器中的灵敏材料被分为大量的精细的取样单元，使量能器具备对入射粒子簇射发展的“成像”能力。

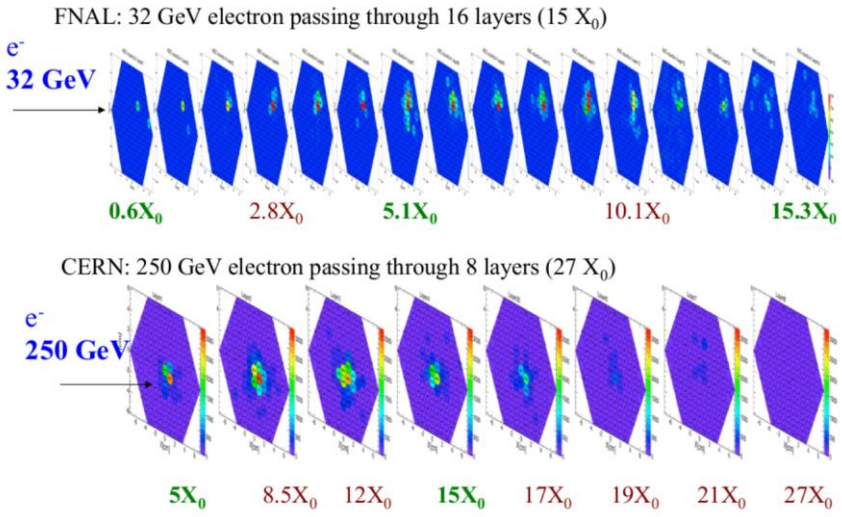


图 1-11 CMS HGCAL CE-E 样机中电子簇射的成像结果[34]

为了适应 LHC 的升级项目：高亮度大型强子对撞机（High Lumiosity LHC,

HL-LHC），CMS 合作组计划将 CMS 的端盖部分升级为细颗粒度量能器（High-Granularity CALorimeter, HGCAL）。CMS HGCAL 由成像型电磁量能器 CE-E 和成像型强子量能器 CE-H 组成，图 1-11[34]为 CMS HGCAL 电磁量能器样机对电子簇射的成像结果。

成像型量能器的能量分辨率一般可以参数化为以下形式[35]：

$$\frac{\sigma_E}{E(GeV)} = \frac{a}{\sqrt{E(GeV)}} \oplus b \oplus \frac{c}{E(GeV)} \tag{1.1}$$

其中 a 称为本征项，表示统计相关的涨落，主要包括粒子簇射的涨落、可探测信号的涨落以及沉积能量的涨落。b 称为常数项，通常由探测器的不均匀性和刻度的不均匀性决定。c 项的主要来源为读出电子学噪声，通常该项可以忽略。

由于大尺寸灵敏材料造价高昂，大型对撞机的强子量能器基本为取样型量能器。在取样型量能器中，入射粒子的能量只有小部分沉积在灵敏材料中，因此取样能量的涨落较大，本征项 a 的贡献在能量分辨率中占主导。本征项 a 与灵敏材料厚度 t 以及取样比f_{sample}存在以下关系：

$$a \propto \sqrt{\frac{t}{f_{sample}}} \tag{1.2}$$

成像型量能器的灵敏层厚度和取样比均与现有量能器存在较大的差异，为了达到希格斯玻色子精确测量所需的能量分辨率，成像型量能器的取样层尺寸、取样单元大小以及取样比的确定都需要经过严格的模拟仿真和测试验证。

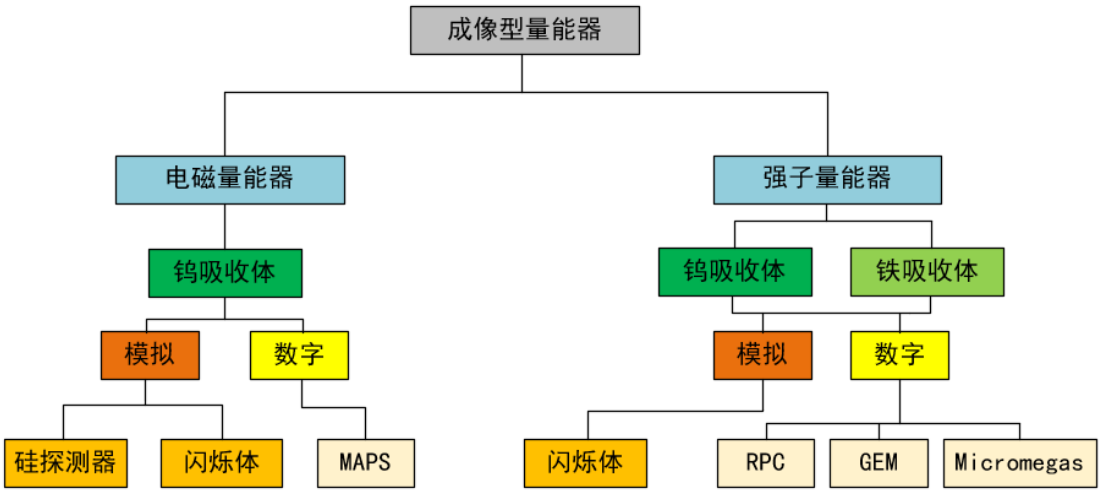


图 1-12 成像型量能器技术路线

为了在全球范围内推动成像型量能器的技术发展，CALICE 国际合作组于 2001 年正式成立。目前，CALICE 合作组几乎协调了全世界范围内所有成像型量能器样机的研制工作，并提出了如图 1-12 所示的成像型量能器技术路线。计划使用成像型量能器的大型对撞机实验包括 ILC、CLIC、CEPC 以及 FCC 等，

均已加入 CALICE 合作组以寻求全球性合作，共同推进成像型量能器技术发展。

1.4 成像型强子量能器样机国内外研究现状

本文的主要内容是面向成像型强子量能器的读出电子学系统研究，目前国内该领域仍处在起步阶段，需要参考国际上已有的成像型强子量能器样机确定基本的性能指标和技术方案。现阶段，全球范围内完成度较高的成像型强子量能器样机是由 CALICE 合作组主导开发的模拟读出强子量能器（Analog Hadron CALorimeter, AHCAL）样机和半数字化数字读出强子量能器（Semi-Digital Hadronic CALorimeter, SDHCAL）样机，本小节将对这两台样机做基本介绍。

1.4.1 CALICE AHCAL 样机

CALICE 合作组开发的 AHCAL 样机所使用的技术路线为塑料闪烁体 SiPM 模拟读出，验证场景为 ILC 强子量能器筒部的一个扇区。CALICE AHCAL 样机经过 CALICE 合作组多年的研究测试，其技术方案已经比较完备。

CALICE AHCAL 样机的基本结构如图 1-13（a）[36]所示，吸收体为 20 mm 厚的铁板，取样层由塑料闪烁体块密铺组成，为了尽可能压缩样机的厚度，取样层和读出电子学集成在一块印制电路板（Printed Circuit Board, PCB）正反两面。由于强子簇射空间展宽较大，取样层的宽度和长度最大分别可以达到 1 m 和 2.2 m，共计 38 层。为了满足 PFA 细颗粒度的需求，CALICE AHCAL 样机的取样单元尺寸仅为 30×30×3 mm^3。

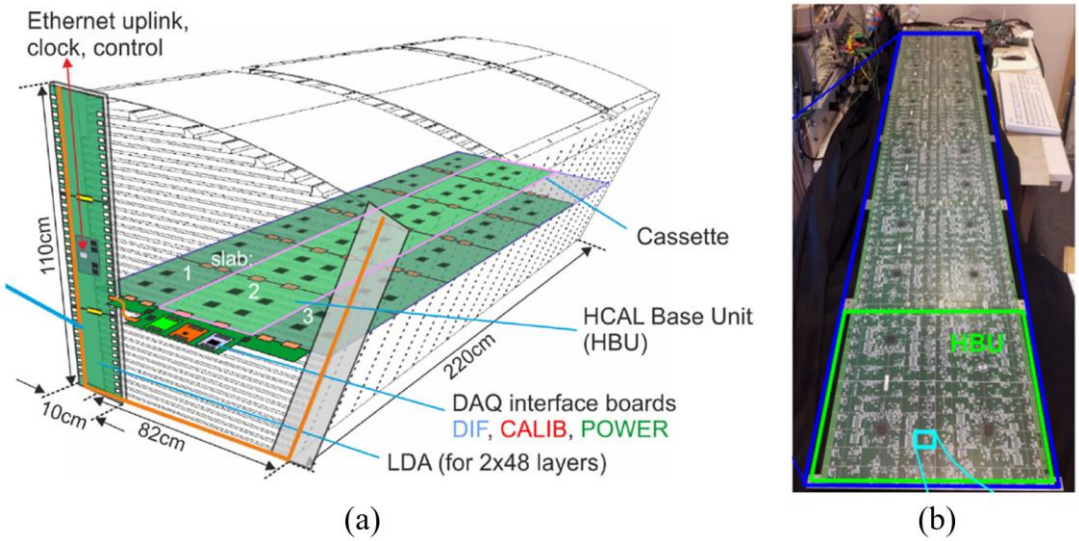


图 1-13 CALICE AHCAL 样机：(a) CALICE AHCAL 整体结构图[36]；(b) CALICE AHCAL 样机前端板[36]

CALICE AHCAL 样机的电子学读出方案的设计难点在于巨大的取样面积和高集成度需求。如图 1-13（b）[36]所示，CALICE 的做法是将灵敏层分割成若干 HBU（HCAL Basic Unit）板，每个 HBU 板的尺寸为 360×360 mm^2，包含了 144 个电子学通道，6 块 HBU 板在轴向上依次相连以实现 2.2 m 扇区的完全覆盖。以面积最大的灵敏层为例，在该取样层上 18 块基本单元以 3×6 的方式排布从而实现对灵敏区面积的覆盖。CALICE AHCAL 样机选择的 SiPM 具体型号是 S13360-1325PE，SiPM 工作的过电压为 5 V，对 SiPM 信号读出使用的是 36 路读出通道的专用集成电路（Application Specific Integrated Circuit, ASIC），电子学厚度控制在 2.4 mm 以内。

CALICE AHCAL 样机的数据获取系统结构如图 1-14 所示。每块 HBU 板集成了 4 片 ASIC，ASIC 间使用菊花链的方式互连。18 块 HBU 板上共计 72 片 ASIC 芯片内存储的科学数据，由一块 DIF 板（Detector InterFace）完成读出。CALICE AHCAL 样机所使用的 ASIC 可以缓存 16 次有效事例，当 72 片 ASIC 全部缓存满时，对应数据读出需要约 198 ms。特定能区的 Pion 粒子的簇射展宽较大，会击中较多通道，此时 CALICE AHCAL 样机的有效事例率不超过 100 Hz。

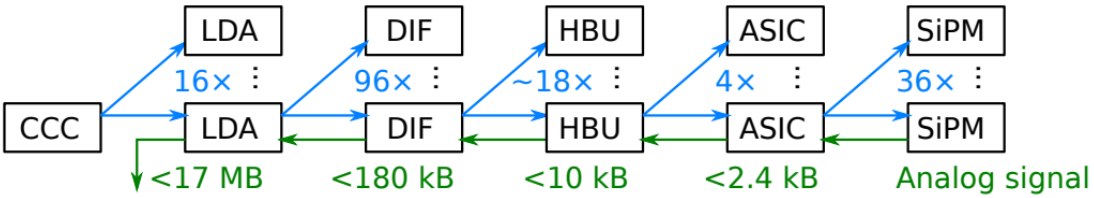


图 1-14 CALICE AHCAL 样机数据获取系统基本结构[36]

在样机性能表现方面，基于多年束流测试硬件调试和数据分析工作，CALICE AHCAL 样机的能量分辨率水平在$57.6\%/\sqrt{E_h}\oplus 1.6\%$，能量线性在 2%左右[37]。CALICE AHCAL 样机预计由 40 层前端板组成，实际参与束流测试的取样层数为 38 层。为了消除通道不一致性对能量分辨率的影响，CALICE AHCAL 样机引入了基于紫外光发光二极管（Light-Emiting Diode, LED）的 SiPM 刻度技术。

1.4.2 CALICE SDHCAL 样机

由 CAILCE 国际合作组主导开发的 SDHCAL 样机所使用的是数字读出技术路线中的玻璃阻性板室（Glass Resistive Plate Chamber, GRPC）方案。SDHCAL 样机的整体结构如图 1-15（a）[38][39]所示，由 48 层 GRPC 气体探测器（如图 1-15（b）[38][39]）组成，取样面积为 1×1 m^2，取样单元尺寸为 10×10 mm^2。相较于 CALICE AHCAL 样机，在 SDHCAL 样机中会多出大量用于向 GRPC 内部

充气的气管，导致其探测器机械结构复杂度更高。SDHCAL 的前端读出电子学板如图 1-15（c）[38][39]所示，每层共计使用到 144 片 ASIC 用于读出 9612 路探测器信号。为了实现对取样面积的全覆盖，单层前端板由 6 块 1/6m^2 的 ASU（Active Sensor Unit）板拼接而成，每块 ASU 板上分布有 24 块 ASIC。SDHCAL 样机的 ASIC 之间使用菊花链的方式互连，从而减少所需使用到的数据总线数量，降低前端板读出电子学复杂度。

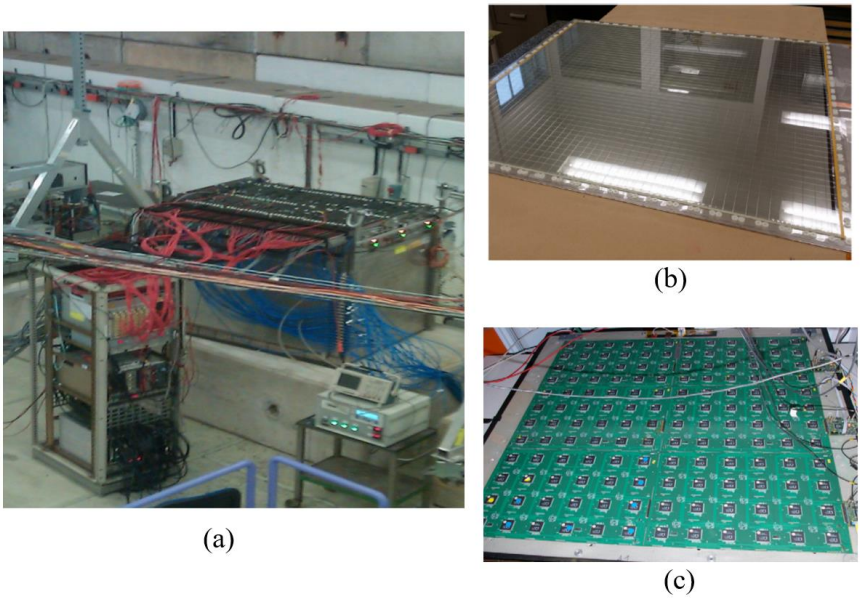


图 1-15 CALICE AHCAL 样机：(a) SDHCAL 样机整体照片[38][39]；(b) 单层 GRPC[38][39]；(c) ASU 板[38][39]

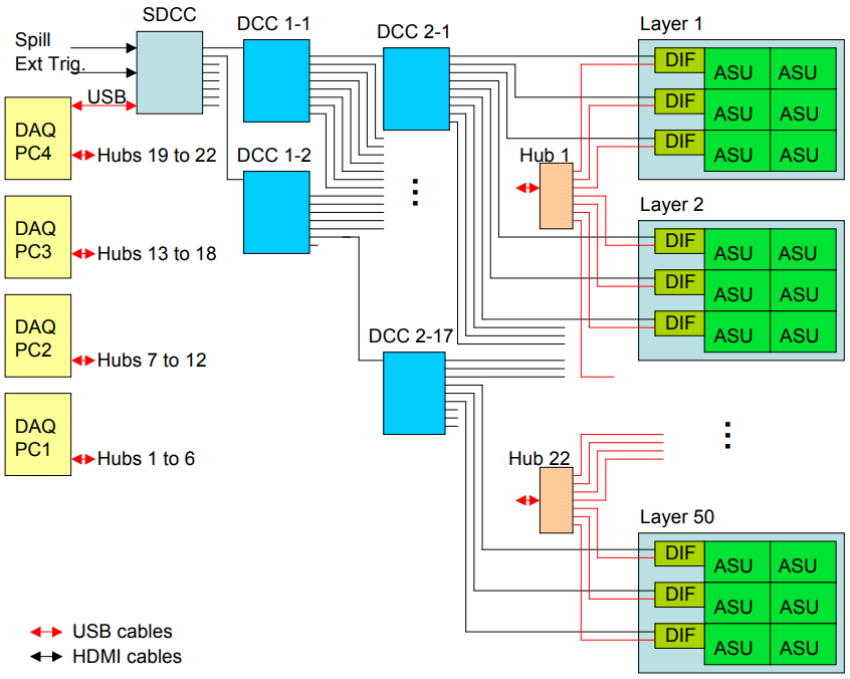


图 1-16 CALICE SDHCAL 数据获取系统结构图[40]

CALICE SDHCAL的数据获取电子学系统基本结构如图1-16所示。CALICE SDHCAL 的数据获取电子学系统大致分为两个部分：一部分通过 HDMI 线缆实现通信，用于传输同步命令；另一部分使用 USB 线缆实现通信，用于传输慢控制命令和前端板产生的科学数据。SDCC 板（Synchronous Data Concentrator Card）用于管理系统的同步。SDCC 板从计算机网络接收命令，并使用 HDMI 电缆上的专用协议将它们同步发送到连接到探测器的不同 DIF 板（Detectors InterFace）。由于 SDCC 板仅有 9 个 HDMI 接口，DCC 板（Data Concentrator Cards）被额外引入，用于数据扇出。每块 DIF 板负责两块 ASU 板的数据读出，每层 GRPC 板的信号读出由 3 块 DIF 板共同完成。

DIF 板读取数据的平均大小为 48（ASIC 数量）× 127（每片 ASIC 缓存的数据帧数量）× 20 bytes（数据帧长度）≈ 120 kbytes。ASU 板上 ASIC 的读出方式为串行读出，串行比特率为 5 Mbit/s。DIF 板通过 USB 接口上行数据的串行比特率为 10 Mbit/s。SDHCAL 用于数据传输的死时间由两部分组成：ASU 板的数据读出时间约为 180 ms；USB 接口上行数据的传输时间约为 90 ms。SDHCAL 所使用的 ASIC 可以缓存 127 次事例，但受限于过长的读出死时间，其理论事例率仅为 470 Hz。此外，由于 SDHCAL 目前并未引入符合机制，其有效事例率只有 30 Hz。

随着数据分析工作的不断推进，CALICE SDHCAL 样机的能量分辨率和能量线性的表现也在逐步提高，最近正式发表的结果如图 1-17[41]所示。目前比较明确的结果为能量线性好于 5%，能量分辨率在 80 GeV 处好于$9\%/\sqrt{E_h}$。

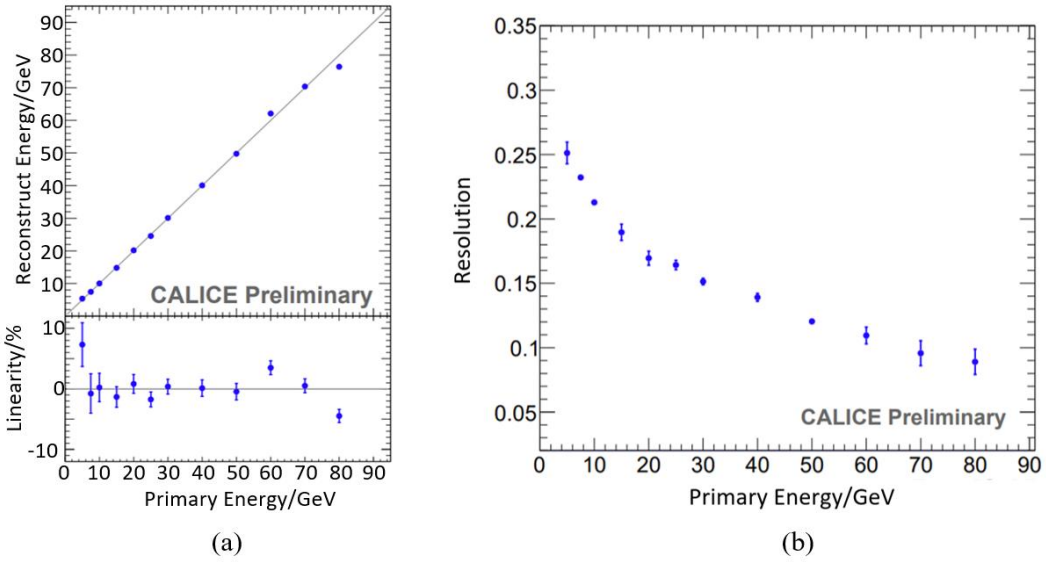


图 1-17 CALICE SDHCAL 样机能量重建结果：(a) SDHCAL 样机能量线性结果；(b) SDHCAL 能量分辨率结果[41]

1.4.3 成像型强子量能器研究现状小结

成像型强子量能器作为新兴的量能器前沿方向，发展时间较短，正处在积累读出电子学技术的关键阶段。CALICE 合作组研制的两台成像型强子量能器样机，满足了希格斯玻色子精确测量的能量分辨率需求，极大地推动了成像型量能器的技术进步，但其所在的技术路线仍有大量的技术积累工作有待完成。

从技术路线出发，CALICE AHCAL 样机和 CALICE SDHCAL 样机分别为模拟和数字路线，两者均为 ILC 重要的备选方向。CALICE SDHCAL 目前的能量分辨率表现相对较好，能够在 80 GeV 处达到$9\%/\sqrt{E_h}$。但是数字量能器的能量分辨率高度依赖于通道数，虽然 CALICE SDHCAL 取样面积仅为 CALICE AHCAL 样机最大取样面积的 1/2，但其使用的 ASIC 数量与后者相同。此外，GRPC 对工作环境的要求高于塑料闪烁体和 SiPM，导致 CALICE SDHCAL 的运行成本和复杂度较高。综上所述，模拟和数字两条技术路线各自的优势均具有不可替代性，都是成像型量能器重要的研究方向。

从应用场景出发，由 CALICE 合作组提出的两台成像型量能器样机的设计背景均为直线对撞机 ILC。全球范围内，目前并未有面向环形对撞机的同类型样机被提出。直线对撞机的亮度一般低于环形对撞机，以 ILC 为例，其设计亮度不到 CEPC 的千分之一，并且每次对撞间存在约 199 ms 的空闲时间（如图 1-18）。因此，上述两台样机在 ASIC 数据读出方面均采用的菊花链设计，以简化读出电路的复杂度，但该设计会极大地延长读出死时间。CALICE AHCAL 样机对于特定能区的 Pion 事例所能达到的事例率不到 100 Hz，CALICE SDHCAL 的有效事例率仅为 30 Hz，均远低于 CEPC 的事例率水平。CEPC AHCAL 样机的电子学系统需要就提高事例率展开深入研究，提出可以满足 CEPC 需求的低死时间读出方法。

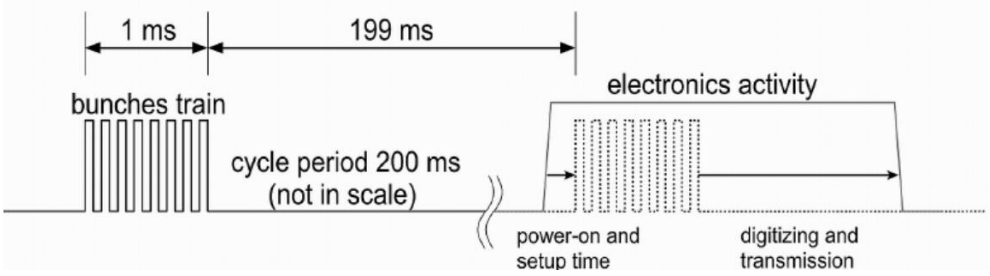


图 1-18 ILC 束流周期简图[42]

从探测器的使用出发，SiPM 增益对温度较为敏感，在成像型模拟强子量能器样机的读出电子学系统中必须引入刻度技术以消除 SiPM 增益不一致性对能量分辨率的影响。CALICE AHCAL 的借助 LED 实现了对 SiPM 的增益刻度，但是

其 LED 驱动电路存在对 LED 电容敏感的问题。此外，LED 刻度方法会导致样机无法在 SiPM 刻度时进行事例采集，同时也会增加大量额外功耗，无法达到实时刻度 SiPM 的目的。

除上述研究现状外，CALICE AHCAL 样机还存在束流测试中实际可工作的取样层数量（38 层）未达到预期的 40 层等技术问题[43]。

综上所述，在成像型强子量能器的技术积累方面，仍有大量工作有待完成，例如：最大事例率的提高，SiPM 刻度技术的补充以及系统稳定性的提高等。

1.5 论文选题与章节安排

希格斯玻色子的精确测量是当前高能物理学最迫切的任务，下一代正负电子对撞机的建造地将成为未来几十年的世界科研中心。为此，全球范围内已有多种实验方案被提出，其中包括由中国高能物理学界提出的 CEPC 实验。

成像型量能器是下一代正负电子对撞机探测器系统的核心组件，CALICE 国际合作组面向 ILC 实验经过十几年的工作，已经完成了部分技术路线的样机研制工作。国内面向 CEPC 的探测器系统预研工作起步较晚，亟需在各条技术路线积累关键技术，从而深度参与到希格斯玻色子精确测量的全球性工作中。

塑料闪烁体 SiPM 模拟读出成像型强子量能器（为便于读者阅读，参考 CALICE 国际合作组的命名方式，以下内容中简称为 AHCAL）作为一条备受关注的技术路线，国内的研究工作已经进入到样机研制阶段，配套的读出电子学系统方案亟待提出。

基于上述内容，本文的选题为：

以希格斯玻色子的精确测量为背景，结合 CEPC 的物理需求，围绕 CEPC AHCAL 样机展开读出电子学系统研究，为 CEPC 强子量能器的建造积累关键技术。本文提出的电子学系统方案也可以与 CALICE 合作组现有的工作成果互为补充，共同推进成像型量能器技术的发展。

综合上述内容，本文的章节安排如下：

第一章：介绍希格斯玻色子的精确测量对粒子对撞机和探测器系统的需求，并提出粒子流算法和成像型量能器的概念。介绍成像型量能器技术路线以及国际上的研究进展，引出本文的选题。

第二章：首先介绍 CEPC AHCAL 样机的能量分辨率和能量线性指标，以及针对指标确定出的样机取样单元尺寸、取样层数和取样面积。其次结合 CEPC 高亮度特点和 SiPM 增益对温度敏感的问题，推导出样机读出电子学的具体需求，为下文内容的展开提供参考。

第三章：基于前文确定的具体设计需求，结合核电子学方法，对前端读出电子学方法展开研究，在研究过程中解决难点问题，提出对应关键技术，其中包括：大规模高密度 SiPM 读出技术、SiPM 增益刻度技术。

第五章：基于 CEPC 的束流特征，对样机数据获取电子学部分开展方法研究工作。首先对单层前端板的读出方法进行研究，再拓展到多层前端板的数据汇总方法。

第五章：基于前文的方法研究内容，介绍 CEPC AHCAL 读出电子学系统的设计与实现工作。设计工作包括：前端读出电子学板设计、数据接口电子学板以及数据汇总电子学板设计。实现工作包括：40 层前端板的实现、43 层数据接口板的实现以及 1 块数据汇总板的实现。

第六章：介绍 CEPC AHCAL 样机在欧洲核子中心开展的三次束流测试，束流场地分别为 SPS H8C、SPS H2A 和 PS T9。介绍束流测试数据分析结果，其中包括径迹测试结果、刻度结果、能量分辨率结果以及能量线性结果，进而说明样机性能是否满足预期。

第七章：对本文内容进行总结与展望，梳理创新点。

第2章 CEPC AHCAL 样机电子学系统需求讨论

以希格斯玻色子精确测量为目标，CEPC 探测器系统的基准结构如图 2-1 所示，其中绿色圆柱体部分为 CEPC 强子量能器，处在电磁量能器外围，主要负责中性强子的精确测量。

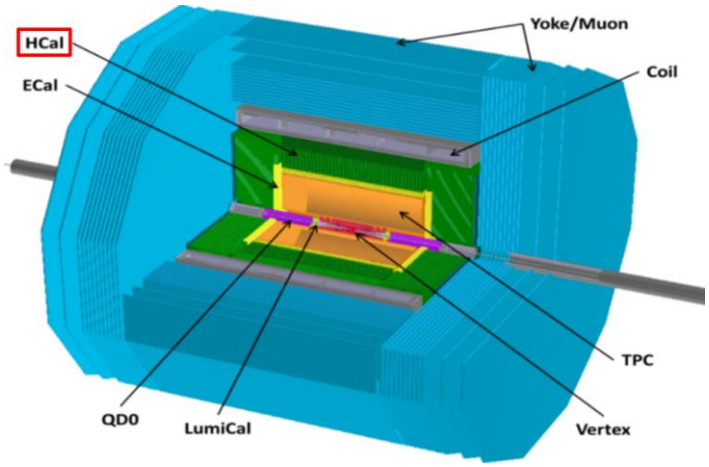


图 2-1 CEPC 探测器系统基准结构[44]

CEPC 工作组计划研制 AHCAL 样机，从而提前解决 CEPC 强子量能器的技术难题。CEPC AHCAL 样机以强子量能器筒壁的一部分为设计目标，关键性能指标为：能量分辨率好于 $60\%/\sqrt{E_h}$ (10 GeV ~ 80 GeV)以及能量线性好于 3% (10 GeV ~ 80 GeV)。

CEPC AHCAL 样机的层叠结构如图 2-2 所示，吸收体、电子学前端读出板与取样层呈三明治结构排列。吸收体为铁板；取样层由数百个方形取样单元平铺而成；电子学前端读出板起到固定取样单元和读出 SiPM 信号的作用。

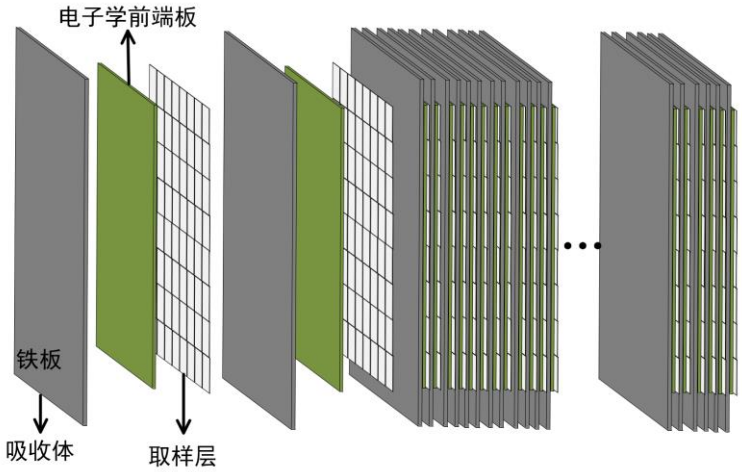


图 2-2 CEPC-AHCAL 样机层叠结构图

样机的取样单元采用了如图 2-3 所示的“SiPM-on-Tile”结构，闪烁体底部留有正方形挖孔，SiPM 集成在孔内，以压缩强子量能器厚度，降低其外围组件的设计难度和建造成本。

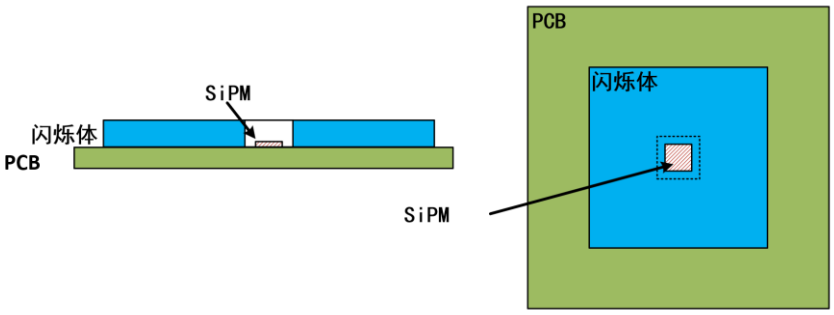


图 2-3 取样单元结构示意图

样机所使用的闪烁体块实物如图 2-4 所示。由于闪烁体自身也是良好的光信号传输介质，被击中塑闪块发出的光信号可以传输到其他闪烁体块中，导致未被击中的取样单元内部的 SiPM 被激发，使得量能器无法获得准确的粒子径迹信息。为了防止上述出现情况，CEPC AHCAL 样机中使用的塑料闪烁体外表面都包覆了高反光率反射膜（Enhanced Specular Reflecor，ESR），ESR 可以将塑料闪烁体块产生的光子限制在被击中的塑料闪烁体内部。



图 2-4 塑料闪烁体块实物图

本章将结合样机物理原理验证阶段优化出的各项设计参数、CEPC 束流特征以及 SiPM 的性能表现推导出样机的电子学需求指标。

2.1 通道数与集成度

为了满足希格斯玻色子精确探测的需求，成像型模拟强子量能器样机对于喷注中强子成分的能量分辨率需要好于$60\%/\sqrt{E_h}\oplus 3\%$（10 GeV < E < 80 GeV）。闪烁体的尺寸、取样层的数量以及灵敏区的面积都会影响到样机的能量分辨率，需要通过模拟工作确定精确的数值。随着样机喷注能量分辨率的提高，相应的

玻色质量分辨率（BMR）也会提高，为了实现对 W 玻色子和 Z 玻色子的区分，BMR 需要好于 4%。在对样机各项参数的模拟优化中，使用 BMR 为设计目标更为直接。

闪烁体尺寸与 BMR 关系模拟结果如图 2-5[45]所示，其中图 2-5（a）[45]是其厚度与 BMR 的关系，图 2-5（b）[45]是其平面尺寸与 BMR 的关系。闪烁体厚度对 BMR 的影响不大，考虑到加工难度闪烁体厚度确定为 3 mm。当闪烁体平面小于 40×40 mm^2 时，进一步缩小闪烁体尺寸对 BMR 的改变较小，然而单层所需的相对通道数显著提高。综合考虑到提高通道数对样机成本的要求，最终确定闪烁体尺寸为 40×40×3 mm^3。

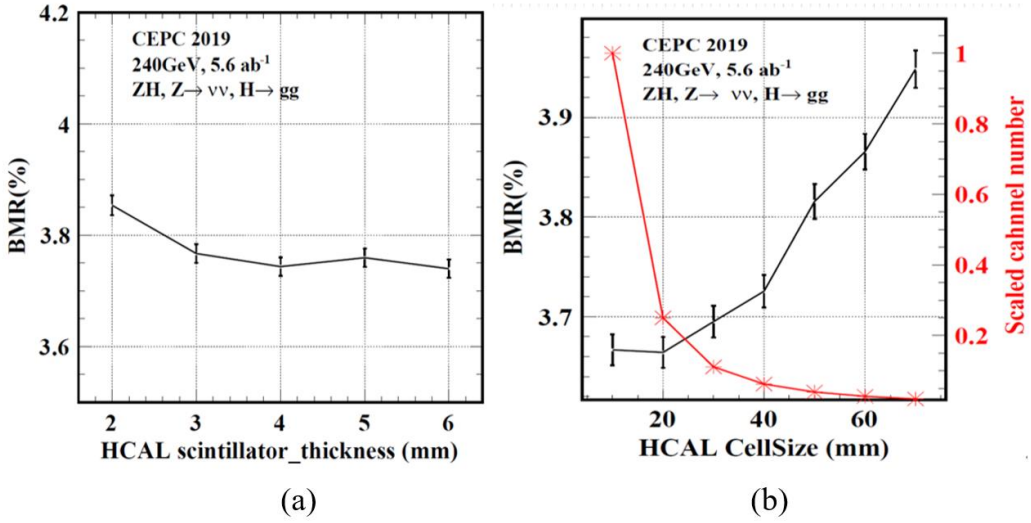


图 2-5 闪烁体尺寸与 BMR 模拟结果[45]：(a) 闪烁体厚度与 BMR；(b) 闪烁体平面尺寸与 BMR

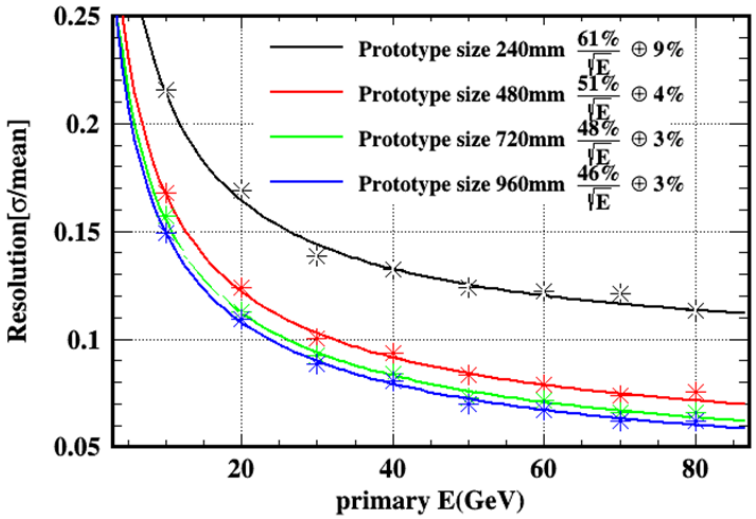


图 2-6 样机能量分辨率与灵敏层面积关系图

基于闪烁体尺寸可以给出如图 2-6 所示的不同的取样区面积下，能量分辨率

的模拟结果。当灵敏层尺寸大于 480×480 mm^2 时，样机能量分辨率好于 $51\%/\sqrt{E_h}$，可以满足设计指标。在此条件下，每层所需的取样单元数量为 256，进一步提高取样层面积到 720×720 mm^2 仅需增加 68 个取样单元，提高灵敏层面积仍具有较高的价值，因此最终确定取样层面积为 720×720 mm^2。

利用闪烁体尺寸和灵敏区面积的模拟结果可以给出如图 2-7[45]所示的取样层数与能量分辨率的关系。当取样层数超过 40 层后，继续提高取样层数到 50 层对 BMR 结果没有显著提高，而样机体积和总通道数会大大提高，因此取样层数确定为 40 层。

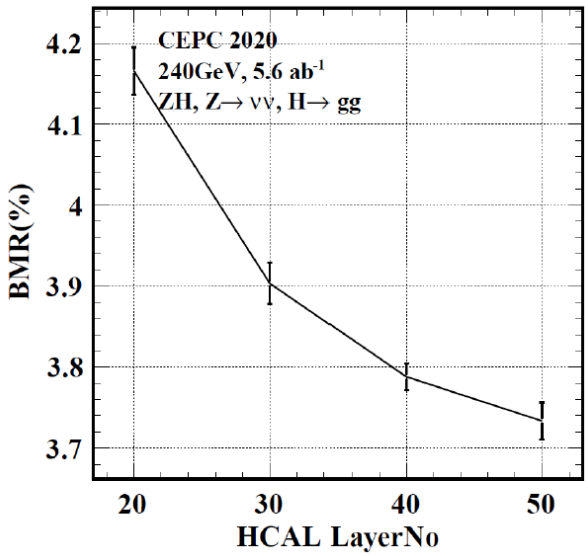


图 2-7 样机不同取样层数下 BMR 模拟结果[45]

SiPM 需要与闪烁体一一配对，每层需要使用到 18 × 18 = 324 块 SiPM，共计 40 层，总通道数为 324 × 40 = 12,960，读出电子学需要完成对所有 SiPM 的读出，对应的读出电子学通道数为 12,960。

在 PFA 探测器系统中，强子量能器位于电磁量能器的外围位置，呈筒状结构。在强子量能器的外部还会有包括超导螺旋管和缪子探测器在内的其他对撞机组件。由于电磁量能器及电磁量能器内部的探测器占据了一定的空间，为了包裹住电磁量能器，强子量能器的内径较大。强子量能器的大内径会放大自身厚度对其外围表面积的影响，导致更外围得组件需要更大的面积才能覆盖住强子量能器，极大地提高外围组件的设计和建造难度，因此强子量能器的厚度需要尽可能的低。

闪烁体的厚度、吸收层的厚度以及强子量能器的取样层数与量能器的性能高度相关，需要严格遵守设计参数，因此只有尽可能地压缩读出电子学的厚度，提高设计的集成度。通过能量分辨率的模拟工作并参考 CALICE AHCAL 样机的集成度水平，确定出 CEPC AHCAL 样机的电子学厚度应当控制在 3 mm 以内，

等效的读出电路集成度为 5 cm^3/每通道。

2.2 动态范围与噪声

作为成像型模拟量能器的核心组件，SiPM 是近些年来新兴的光电探测器，具备增益高、体积小和成本低的优势，但是发展时间较短，在量能器领域的大规模使用还处于起步阶段。如图 2-8[46]所示，SiPM 为像素式结构，每个像素由一片工作在盖革模式的雪崩光电二极管（Avalanche PhotoDiode, APD）串联猝灭电阻组成。当有光子击中 SiPM 的某个像素时，该像素内的 APD 会发生雪崩并释放出大量载流子，从而实现对光信号的增益。SiPM 的增益高达到 10^5 以上，可以实现对单光子信号的探测，图 2-9[46]给出了 SiPM 响应一个光子和两个光子时的信号输出波形。当 APD 发生雪崩后，猝灭电阻上会迅速地产生一定压降，从而降低 APD 的反向工作电压使其可以退出盖革模式。APD 雪崩和退出雪崩的过程分别则对应 SiPM 输出信号的前后沿。

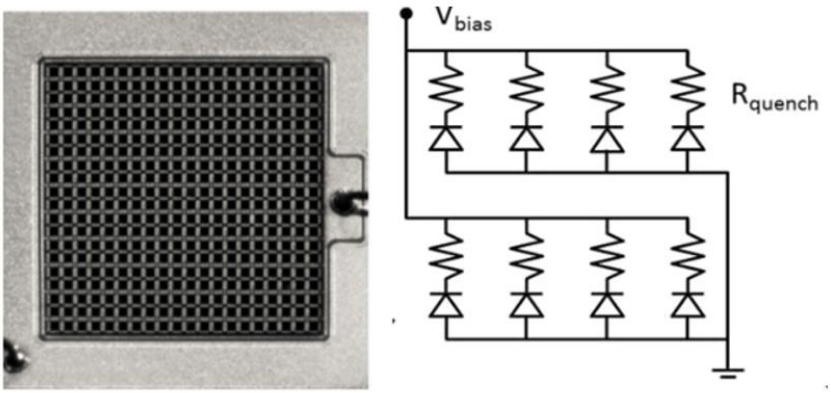


图 2-8 SiPM 像素结构图[46]

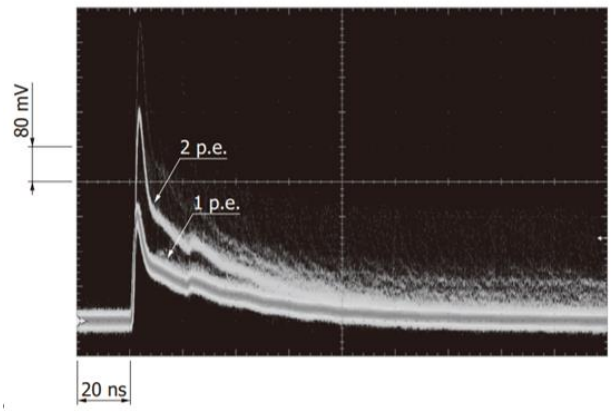


图 2-9 SiPM 输出信号波形图[46]

从统计上可以给出 SiPM 探测光信号的效率，即 SiPM 光子探测效率（Photon Detection Efficiency, PDE）。PDE 是衡量 SiPM 性能的重要参数，SiPM 的 PDE 越高，可以获得的 MIP 粒子能谱就越清晰，越有利于提高量能器能量分辨率，但是探测器的成本也会大大提高。

电子学动态范围由入射粒子沉积能量的范围和 SiPM 的性能表现共同决定，可以用以下表达式进行定量计算：

$$\text{电子学动态范围} = \text{塑闪块沉积能量范围} \times \text{SiPM PDE} \times \text{SiPM 增益} \qquad (2.1)$$

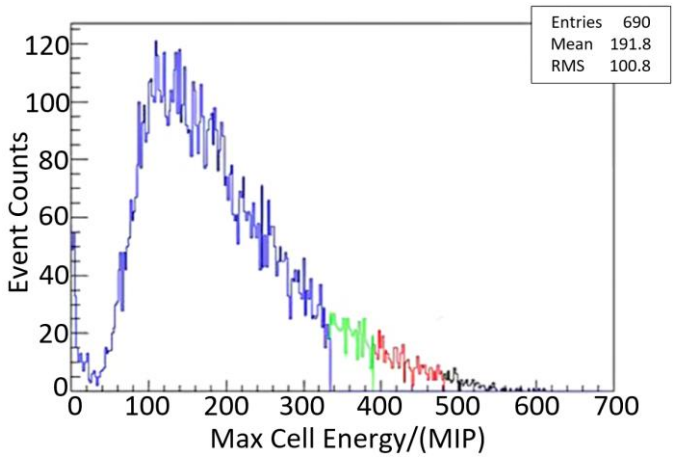


图 2-10 塑闪块沉积能量模拟结果

图 2-10 给出了单个闪烁体中沉积能量的模拟结果，对于 100 GeV 的 Pion，95%以上的塑闪块沉积能量的范围小于 400 倍最小电离粒子（Minimum Ionizing Particles, MIP）的沉积能量。

CEPC AHCAL 工作组综合考虑 SiPM 的性能表现和采购成本，最终选择了如表格 2-1[47][48]所示的两款 SiPM。S14160-1315PS 由日本滨松公司生产，EQR15 22-1313DS 的由北师大团队开发生产的，这也是首次在量能器中大面积使用国产 SiPM。

表格 2-1 SiPM 选型及性能参数表[47][48]

型号	S14160-1315PS	EQR15 22-1313DS
像素尺寸（μm）	15	15
增益	3.6×10^5	2.44×10^5
灵敏区面积（mm^2）	1.3×1.3	1.3×1.3
推荐工作电压下 PDE（%）	32	45
串扰率	<1	4.4
工作电压（V）	38±3	27.5±0.4
价格/CNY	75	50
生产方	滨松光电	北师大

CEPC-AHCAL 工作组通过宇宙线测试确定了这两种 SiPM 实际能探测到的光子数为：S14160-1315PS 约为 17 个/MIP，EQR15 22-1313DS 约为 40 个/MIP。

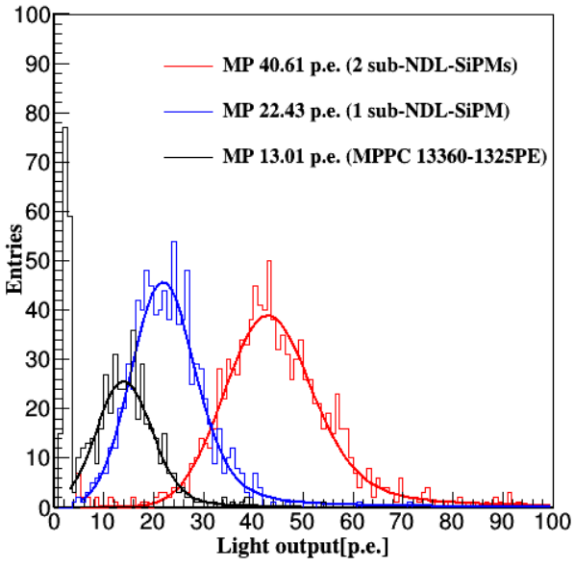


图 2-11 MIP 粒子入射不同 SiPM 可探测光子数测试结果[48]

此外 SiPM 对入射光子的响应具备一定的非线性，可以用下式[49]描述入射光子数与 SiPM 被点亮的像素数的关系。

$$N_{fired} = N_{total} \times \left[1 - \exp\left(-\frac{N_{photon} \times PDE}{N_{total}}\right)\right] \tag{2.2}$$

使用 EQR15 22-1313DS 的灵敏层放置在最后两层，因此在计算动态范围时不参与上限计算。综合上述内容可以计算出电子学系统的输入电荷量范围为：

$$\mathrm{Q}_{min} = 17 \times 3.6 \times 10^5 \times 1.6 \times 10^{-19}\mathrm{C} = 980\ \mathrm{fC} \tag{2.3}$$

$$\mathrm{Q}_{max} = 17 \times 3.6 \times 10^5 \times 400 \times 1.6 \times 10^{-19}\mathrm{C} \times 0.6 = 235\ \mathrm{pC} \tag{2.4}$$

考虑到信噪比至少大于 3，电子学噪声应当小于 326 fC。

2.3 SiPM 刻度需求

在成像型量能器中，对入射粒子的能量重建过程可以用下式[50]表达：

$$E_t = \eta \sum_i^n E_i = \eta \sum_i^n G_i S_i \tag{2.5}$$

其中E_t为粒子入射能量，η为能量取样比，G_i为第 i 个通道的能量测量换算系数，S_i为第 i 个通道的测量值。重建得到的能量值E_t的不确定性主要来自G_i和S_i的不确定性。G_i不确定性由闪烁体间的不均匀性和和 SiPM 间增益的不一致性组成，S_i的不确定性由电子学噪声组成，通常可以忽略。

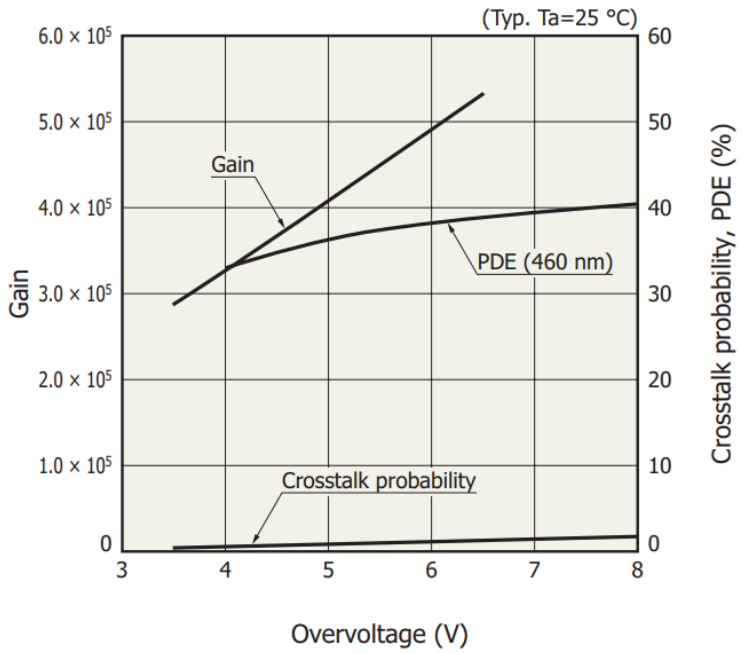


图 2-12 S14160-1315PS 增益、PDE 与串扰率与过电压关系图[51]

为了克服G_i的不确定性，在量能器测试中通常需要花费大量的时间做逐通道的 MIP 能谱刻度。然而 SiPM 的增益对温度较为敏感，这会降低 MIP 能谱刻度对G_i不确定性的修正效果。如图 2-12[51]所示，SiPM 的增益正比于其过电压（Overvoltage），在工作电压不变时，SiPM 工作温度每升高 1 ℃，其过电压减小 24 mV，等效为增益降低 24 mV×8×10^4/V=2720，做归一化可以得到 SiPM 工作温度每提高 1 ℃，其增益降低 1%。因此，在成像型模拟强子量能器样机中必须引入 SiPM 刻度电路，实时监测 SiPM 增益，为离线数据分析修正 MIP 能谱刻度结果提供参考。

CALICE 合作组在 AHCAL 样机中借助 LED 实现了对 SiPM 的增益刻度[52]，但是样机中嵌入的 LED 驱动电路存在对 LED 电阻敏感的问题。此外，LED 刻度方法会导致样机无法在 SiPM 刻度时进行事例采集，同时也会增加大量额外功耗，无法达到实时刻度 SiPM 的目的。SiPM 增益与工作温度存在线性关系，借助监测 SiPM 工作温度的手段也能够实现对 SiPM 的增益刻度，并且不会引入死时间，目前成像型量能器中还未有基于温度检测的 SiPM 增益刻度被提出。

综上所述，CEPC AHCAL 样机中必须引入 SiPM 刻度技术，并且对现有 SiPM 刻度技术做出补充完善，提出基于温度监测的 SiPM 增益刻度技术。

2.4 事例率需求

CALICE 合作组主导研制的 AHCAL 样机和 SDHCAL 样机的应用场景为 ILC。

ILC 作为直线对撞机，每次对撞间存在 100 ms[53]左右的死时间。上述两台样机在 ASIC 数据读出方面均采用菊花链设计，该设计可以简化读出电路的复杂度，但也会极大地延长读出死时间，降低系统所能达到的最大事例率。CEPC 的亮度可以达到 ILC 的 1000 倍以上，要求探测器系统的读出死时间尽可能低，现阶段全球范围内还没有适配这一需求的成像型量能器样机被提出。

CEPC 工作的设计亮度最高为 32×10^{34} $cm^{-2}s^{-1}$[54]。结合前文中标准波形下非极化的正负电子对撞的反应截面与质心能量关系图（图 1-3），可以确定当质心能量在 240 GeV 附近时，正负电子对撞产生希格斯玻色子的总反应截面小于 10^7 fb[57]。

在不考虑本底条件下的 CEPC 的事例率可使用下式计算：

$$\text{有效事例率} = \text{束流亮度} \times \text{反应截面} \tag{2.2}$$

联立亮度与反应截面可以得到 CEPC 的有效事例率约为：3×10^{34} $cm^{-2}s^{-1}$ $\times$ 10^5 fb $=3$ kHz。CALICE AHCAL 样机的最大事例率不到 100 Hz，本文需要在数据读出方法上展开研究，提出最大事例率远高于现有样机的读出技术。

2.5 事例筛选与对齐

以 CEPC AHCAL 样机中使用的 SiPM（S14160-1315PS）为例，其暗计数率*为 1.2×10^5 cps†[51]，在样机中使用到了上万片 SiPM，每秒可以产生 10^9 以上的暗计数。因此，如果不在读出电子学系统中对 SiPM 事例提前做筛选，会极大地提高数据传输压力，同时离线分析工作也将难以开展。

PFA 的难点在于对粒子的分类探测，实现这一目标的基本方法是获取精细的粒子径迹信息。每一个入射粒子径迹的重建都需要依赖完整的 40 层取样结果，而仅仅依赖离线的事例分析无法将每一层的取样结果归纳成一次完整的粒子入射事例，因此在筛选出真实事例的同时还需要将每一层的事例提前在数据获取电子学板中完成对齐。

PFA 的实现还依赖于径迹探测器、电磁量能器以及强子量能器探测结果的相互对照，因此 CEPC AHCAL 样机除了在内部完成事例对齐，还需要与其他量能器的探测结果完成对齐，共同重建出一次完整的入射事例。

---

* SiPM 增益较高，即使没有光信号输入也会有个别像素输出电信号，这种现象被称为 SiPM 暗计数，每秒产生的暗计数被称为暗计数率。

† cps 为 counts per second，该单位意为每秒计数。

2.6 本章小结

PFA 路线实现希格斯玻色子的精确测量，要求成像型强子量能器对喷柱中强子成分的能量分辨率好于$60\%/\sqrt{E_h}\oplus 3\%$（10 GeV<E<80 GeV），为了实现这一目标，样机参数的优化结果为：

1．闪烁体尺寸：40×40×3 mm^3；

2．取样层面积：720×720 mm^2；

3．取样层数：40 层。

基于上述结果、SiPM 增益对温度敏感的问题以及 CEPC 自身的对撞特征，总结出了如表格 2-2 所示的电子学系统需求。

表格 2-2 电子学系统需求

电子学系统模块	具体需求
前端读出电子学	通道数：324 通道/每层 × 40 层 = 12,960 通道
	集成度：< 5 cm^3/每通道
	电子学动态范围：980 fC ~ 235 pC
	电子学噪声：< 326 fC
	SiPM 实时增益刻度
数据获取电子学	事例率: > 3 kHz
	事例筛选与对齐

第3章 CEPC AHCAL 样机前端读出电子学方法研究

由于 CEPC AHCAL 样机读出电子学系统的研究内容十分丰富，为了控制章节长度，本文将其分为前端读出电子学和数据获取电子学两部分，分别介绍具体的研究内容。

本章主要围绕 CEPC AHCAL 样机的前端读出电子学方法展开研究工作。样机的主体部分结构如图 3-1 所示，40 层前端读出电子学板（为方便表述，我们将前端读出电子学板命名为 HBU 板）是样机主体的核心，负责对高能粒子簇射能量的取样测量。

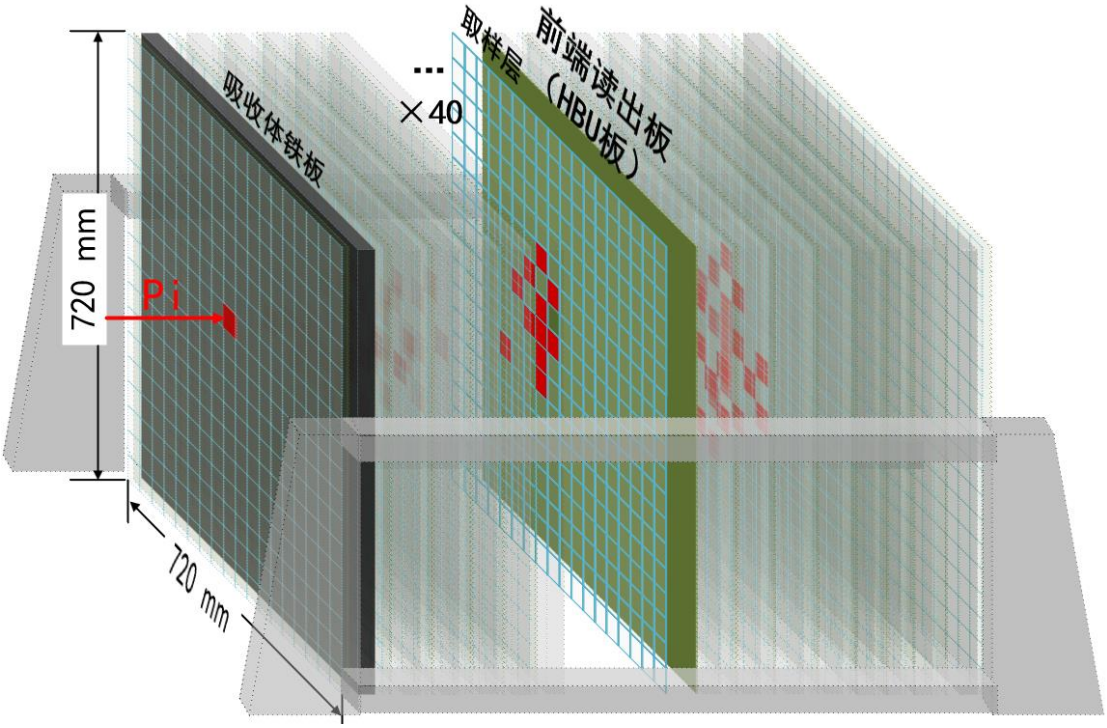


图 3-1 CEPC AHCAL 样机主体结构透视图

当高能粒子在塑料闪烁体中沉积能量，塑料闪烁体内的原子会被电离或激发，受激原子退激发则会发出波长在可见光波段的荧光，该过程中产生的光子数量正比于沉积能量大小[55]。CEPC AHCAL 样机塑料闪烁体下方嵌入的 SiPM 会将闪烁体产生的光信号做倍增放大转换为电子学系统便于处理的电荷信号，SiPM 输出的电荷量正比于闪烁体产生的光子数量。

SiPM 作为新兴的光电探测器件[56]，在高能物理研究中的大规模应用仍处于起步阶段，大规模、高密度使用 SiPM 作为核心器件的成像型模拟量能器的技术积累也并不充分，对本章的前端读出电子学研究工作提出了挑战。

本章电子学方法研究的思路为：首先结合电子学噪声和动态范围需求讨论

单通道 SiPM 信号读出方法，再基于通道集成度和一致性需求讨论全通道 SiPM 信号读出方法，进而提出完整的 CEPC AHCAL 样机前端读出电子学方法。

3.1 单通道 SiPM 信号读出方法研究

CEPC AHCAL 样机的设计目标是能量测量，物理原理是借助所有取样单元沉积能量的测量结果做能量重建。样机取样单元由塑料闪烁体块和 SiPM 组成，塑料闪烁体的光产额正比于高能粒子在其中沉积的能量，SiPM 输出信号的电荷量正比于闪烁体光产额，因此 CEPC AHCAL 样机读出电子学系统的核心功能是测量 SiPM 输出信号的电荷量。

一般的电荷测量系统基本结构如图 3-2 所示，探测器输出的电荷信号首先经过前置放大器和主放大器（成形放大电路）被处理成便于采样的信号，再经过模拟数字转换单元（Analog-to-Digital Converter, ADC）转换为易于传输储存的数字信号，最后传输到稳定的存储介质（如服务器）中长期保存。

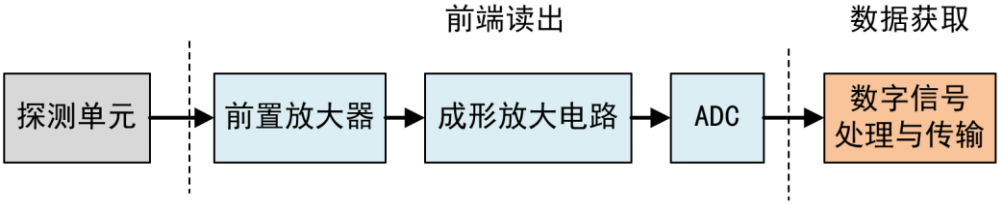


图 3-2 电荷测量系统组成部分

为了提高系统的稳定性和通道一致性，在大型探测器系统中，一般会将前置放大器、成形放大电路以及 ADC 集成为定制化的 ASIC 芯片。ASIC 的大规模使用是成像型量能器的发展趋势，CALICE 合作组在 AHCAL 样机和 SDHCAL 样机中均大量地使用了 ASIC 读出探测器信号。受限于 CEPC AHCAL 样机有限的建造成本和紧迫的研发时间，使用已有的 ASIC 芯片同样可以达到验证技术路线可行性的目的。

综上所述，本小节的研究思路是首先对前置放大器和成形电路展开电子学方法研究，提出适用于 CEPC AHCAL 样机的电路方案，再通过调研已有的 ASIC 芯片，确定出与该电路方案最匹配的 SiPM 读出芯片，并完成该芯片测试验证，从而确定出单通道 SiPM 信号处理方法。

3.1.1 单通道前置放大器和主放大器研究

在核探测实验中，探测器的输出信号一般较小，需要先经过放大器加以放

大成形后再做采样和数字化处理。由于核探测的场景十分复杂，在探测器附近往往没有足够的空间放置完整的放大器，因此放大器按照与探测器的相对位置被细分为前置放大器和主放大器（成形放大电路）。本小节将结合 SiPM 的特征以及 CEPC AHCAL 的需求，依次对前置放大器和成形电路展开讨论。

（a） 单通道前置放大器研究

前置放大器的主要功能是将探测器输出的电荷信号处理成更便于传输和成形放大的电压信号，在提高系统信噪比的同时为主放大器中进一步的信号处理做准备。前置放大器按照工作原理可大致分为电荷灵敏前置放大器和电流灵敏前置放大器。

电荷灵敏前置放大器的基本原理是将探测器输出的电荷暂时存储在参考电容 C_{REF} 上，在 C_{REF} 容值不变的前提下，其极板两端的电压差值正比于探测器输出的电荷量。考虑到探测器自身的内阻 R_D、探测器电容 C_D，信号线的杂散电容 C_S，以及对 C_{REF} 极板电压差做第一级处理的放大器的输入电阻 R_A、输入电容 C_A，可以得到如图 3-3 所示的电荷灵敏放大器理论模型。

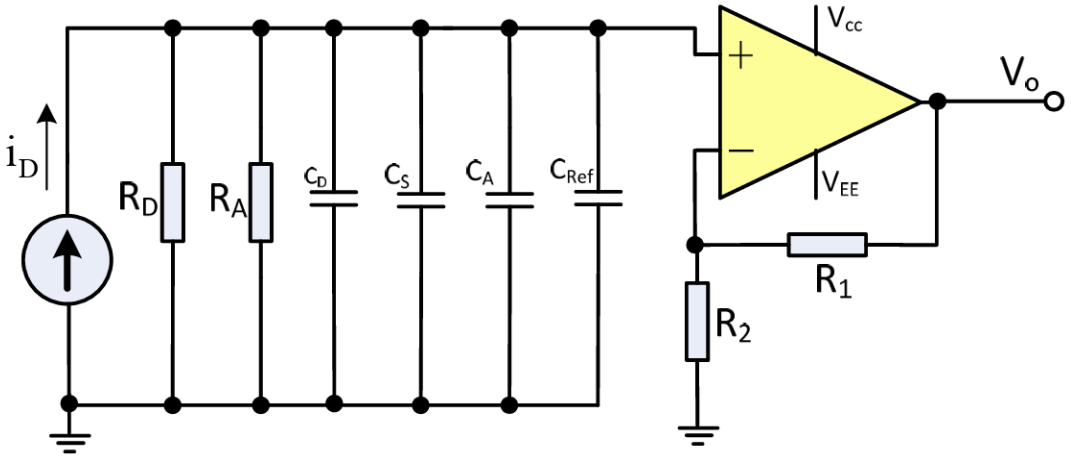


图 3-3 电荷灵敏前置放大电路理论模型[58]

基于图 3-3 的理论模型，设探测器输出的总电荷量为 Q，可以得到放大器输入端的电压峰值 $V_{iM} = Q / (C_{REF} + C_D + C_S + C_A)$。实际上，$V_i$ 与 Q 的线性关系并不稳定。例如，放大器的输入电容 C_A 受到输入级增益变化的影响，探测器（半导体探测器为主）电容 C_D 受到工作电压影响等。

为了克服上述问题，一般的电荷灵敏放大器（如图 3-4 所示）会将参考电容 C_{REF} 跨接到放大器的反相端和输出端之间用作反馈电容 C_F。根据放大器的密勒效应，此时放大器的等效输入电容被放大为 $(1 + A_{VO})C_F$，其中 A_{VO} 为放大器的开环增益。由于放大器的开环增益近似于无穷大，C_D、C_S 和 C_A 可以忽略不

记，放大器的输入端电压峰值 $V_{iM} = Q /（1 + A_{VO}）C_F$。进一步地，电荷灵敏前放的输出电压峰值 $V_{OM} = V_i \times A_{VO} = Q / C_F$，即将输入电荷转换为了电压信号并实现了 $1/C_F$ 的增益。

一般地，电荷灵敏前放的反馈电容在几个 pF 左右，对应增益在 10^{12} 1/F 以上，适用于增益相对较低的探测器，例如：APD 和光电二极管（Photo Diode, PD）。电荷灵敏放大器的优势在于增益高、噪声低，但是由于 C_F 上电荷泄放时间较长，存在容易出现信号堆积的缺点。

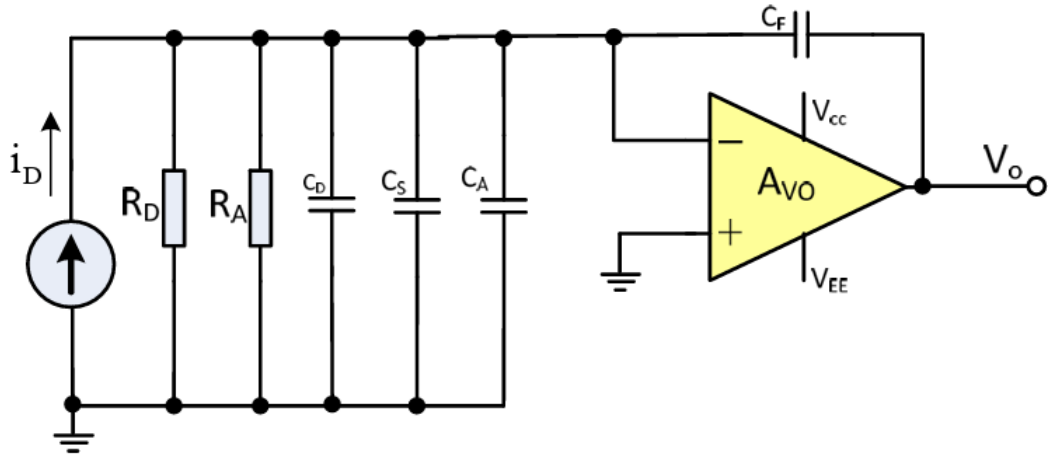


图 3-4 电荷灵敏前置放大器的一般模型[58]

电流灵敏放大器的工作原理是使用电阻将探测器的电流信号转换为波形相同的电压信号。最简单的电流灵敏放大器的电路模型如图 3-5 所示，探测器输出电流信号经过匹配电阻 R_T 转换为电压信号后，再利用快放大器对其作幅度放大。

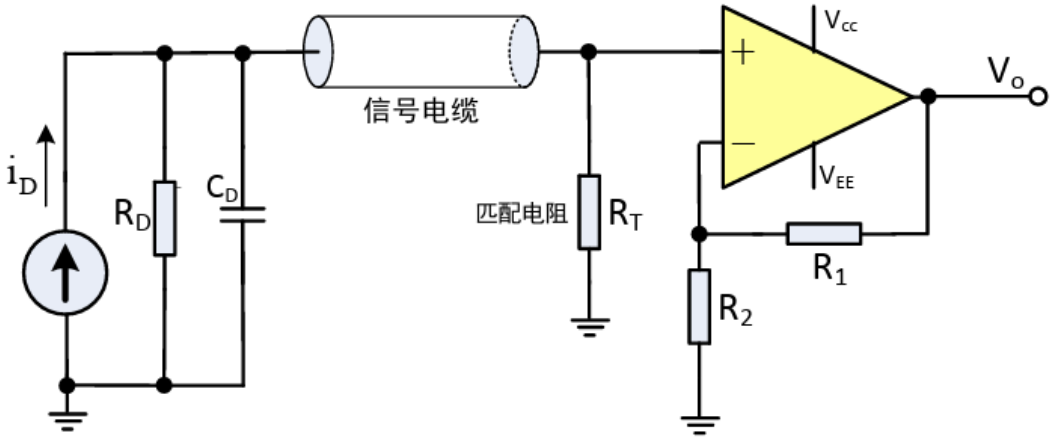


图 3-5 电阻匹配式的电压灵敏前放模型[58]

类比于电荷灵敏前放的分析办法，为了提高电路的信噪比，R_T 的阻值应当尽量小，以保证探测器输出的电流信号尽可能多地分配到 R_T 上。但是减小 R_T 的阻值，输入到放大器输入端的电压信号也会响应减小，因此这种电路更适用于

增益较高的探测器，例如光电倍增管和 SiPM。

更一般的电流灵敏放大器结构如图 3-6 所示。其基本思路与电荷灵敏前放类似，利用放大器的密勒效应，将 R_T 跨接到放大器的负反馈回路中作 R_F。在此条件下，放大器的等效输入电阻为 $R_F/(1+A_{VO})$。由于放大器的开环增益 A_{VO} 近似为无穷大，放大器的输入电阻近似为零，保证了探测器电流全部分配到 R_F 上。

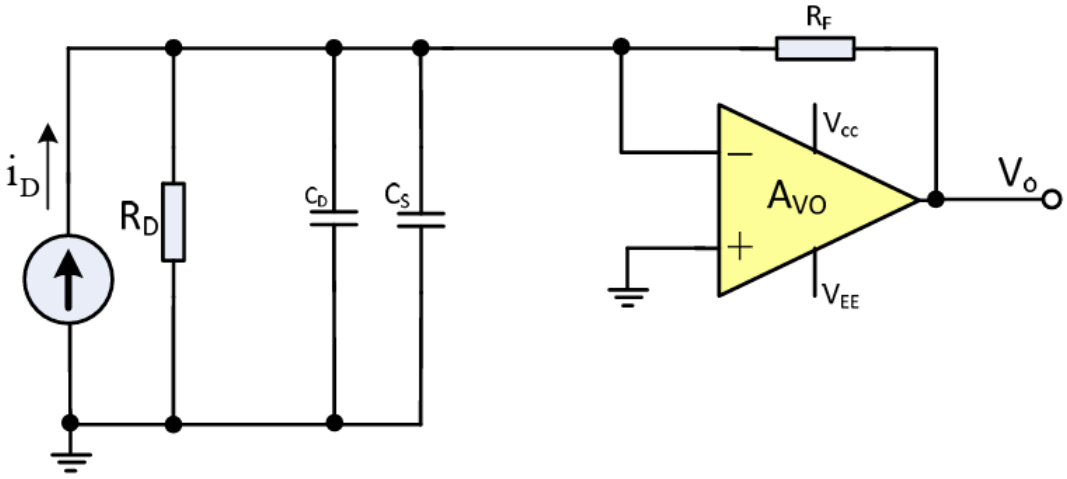


图 3-6 电流灵敏前放的一般结构[58]

电荷灵敏前放的增益在 10^{12} 1/F[59]左右，而 SiPM 的增益可以达到 10^5 [60]以上，对于 CEPC AHCAL 样机 200 pC 以上的动态范围，使用电荷灵敏前放处理 SiPM 信号会导致输出信号幅度过大，达到 100 V 以上，这也是极不合理的。电流灵敏放大器的输出信号幅度正比于 SiPM 的输出信号，并且输出信号后沿较快，不容易发生信号堆积，更适用于增益较高的 SiPM。

下面将基于 SiPM 的信号特征，具体讨论 CEPC AHCAL 样机中电流灵敏放大器的使用办法。

SiPM 由几千个处在盖革模式的 APD 并联组成，每个 APD 可以近似地被认为是 SiPM 的一个像素点，SiPM 的输出信号是被点亮像素（发生雪崩的 APD）输出信号的线性叠加。由于 APD 已经处在盖革区，SiPM 每个像素被入射光子激发后，输出的信号波形是固定的，所以 SiPM 输出信号的幅度正比于输入光子数，即闪烁体沉积能量大小。基于上述讨论内容，前端读出电路的具体目标是对 SiPM 的输出信号做峰值采样。

本论文中使用的 SiPM 的输出信号波形上升沿较窄仅为 1 ns 左右，下降沿稍慢约为 20 ns[61]。CEPC AHCAL 样机中使用到的塑料闪烁体型号为 BC408，其输出光信号半高宽为 2.5 ns[62]。结合两者信号波形特征可以得到如图 3-7 所示的 SiPM 响应塑闪输出信号模拟结果，信号上升沿约为 3 ns，对应信号带宽在 100 MHz 左右。

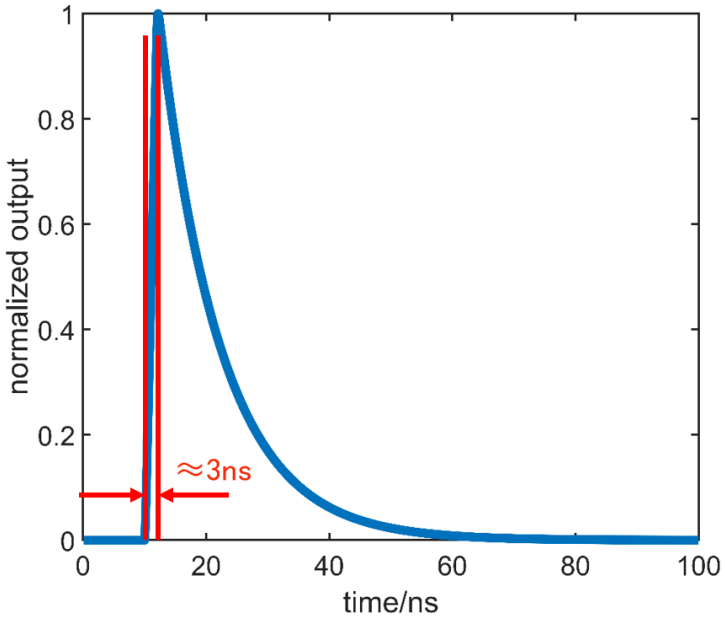


图 3-7 SiPM 响应塑闪输出信号波形模拟结果

基于前文的分析内容，SiPM 的信号读出要求前置放大器带宽高于 100 MHz，放大后的信号幅度正比于 SiPM 输出信号幅度，成形电路可以将 SiPM 输出信号处理成便于峰值采样的准高斯信号。

电流灵敏放大器中得电压放大电路按照输入信号与输出信号得相位关系可以分为反相放大器和同相放大器，反相放大器的运算放大器同相输入端接地，抗共模噪声能力更强，更适合应用到多通道、高密度的探测器读出电子学系统中。

CEPC AHCAL 样机的能量分辨率高度依赖于良好的 MIP 能谱刻度结果，然而闪烁体块厚度较低，高能粒子能量沉积涨落较大，进而导致 MIP 能谱的展宽较宽。因此前置放大器的增益需要尽可能高，以提高 MIP 信号与台基的区分度，提高能谱拟合精确度。然而样机电子学动态范围需求为：980 fC ~ 235 pC，上下限相差 240 倍，提高前置放大器增益可能会导致动态范围不足。

为了获取更精确的 MIP 能谱刻度结果的同时保证动态范围，SiPM 前置放大器拟使用如图 3-8 所示的具备不同增益的双通道电压放大器结构，高增益通道负责 MIP 能谱刻度，低增益通道承担绝大部分的能量测量任务。

图 3-9 给出了基于高低增益前置放大器的 MIP 刻度原理。高低增益通道之间的结构和芯片选型是一致的，两者的电子学噪声是接近的，而高增益通道增益更大，通过高增益通道可以获取信噪比更高的 MIP 信号（如图 3-9（a）所示），进而获得更精确的 MIP 刻度结果。由于高低增益通道间的增益比值（Gain Ratio, GR）仅由输入电阻和反馈电阻决定，通过 Pion 测试将高低增益通道的输出道值分别作为纵坐标和横坐标，可以得到如图 3-9（b）所示的散点图，该散点图线

性拟合结果的斜率即为GR。综合利用高增益通道MIP刻度结果和高低增益比值GR 可以将高增益通道的刻度结果推广到低增益通道，进而提高样机的逐通道MIP 刻度效果。

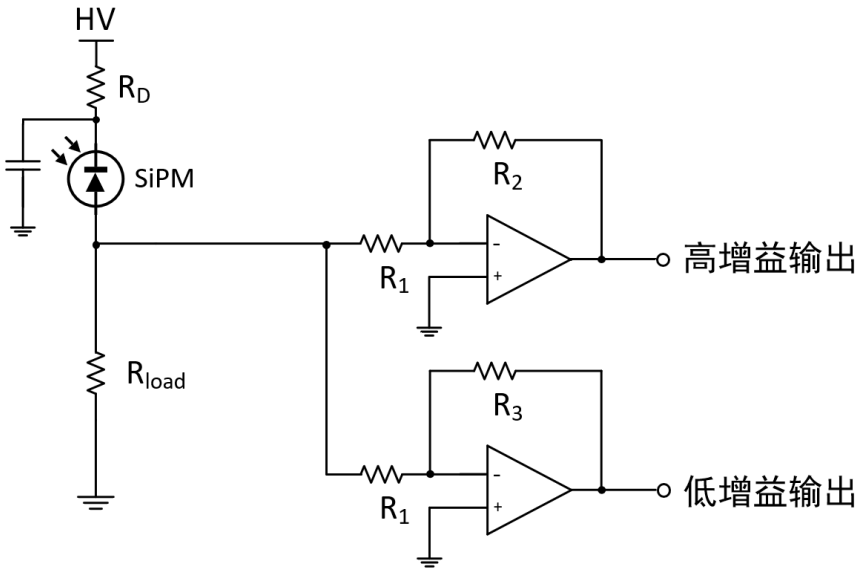


图 3-8 SiPM 前置放大器基本结构图

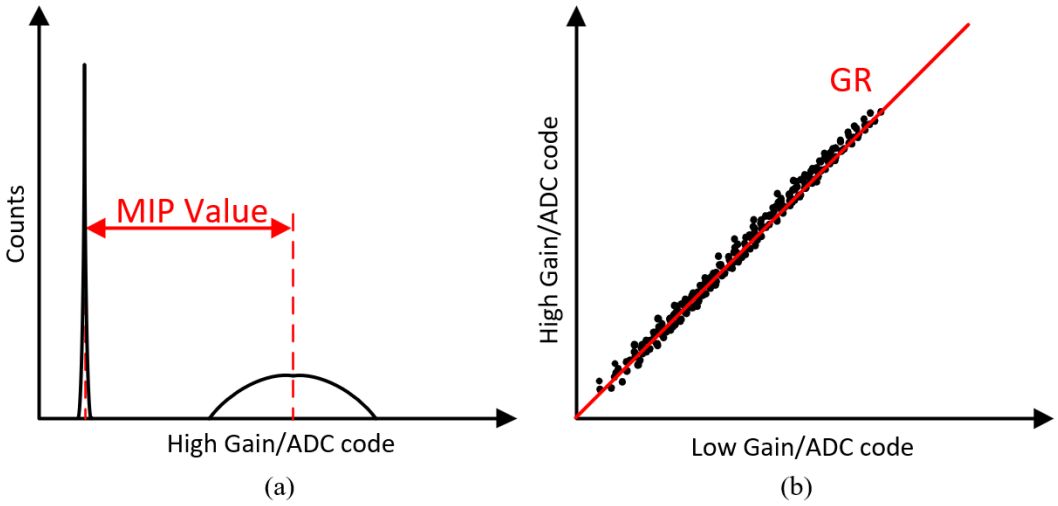


图 3-9 逐通道 MIP 刻度原理：(a) MIP 值刻度；(b) GR 刻度

下面将结合刻度原理再对图 3-8 中的电路结构作具体讨论。如图 3-8 所示的SiPM 前置放大器基本结构由两部分构成：SiPM 偏压电路和不同增益大小的反相放大器。SiPM 的反向端通过电阻 R_D 连接到高压平面，R_D 的作用一方面在于与附近的接地电容形成低通滤波电路，过滤掉高压平面的低频噪声，另一方面也对 SiPM 起到过流保护的作用。R_D 和滤波电容一般比较经验地取值为 1000 Ω 和 100 nF。R_{load} 起到将 SiPM 输出的电流信号转换为电压信号的作用，便于输入到不同增益的反相放大器中做进一步放大。不同增益的两路放大器的具体增益

由输入电阻和反馈电阻共同决定，高低通道闭环增益分别为 R_2 / R_1 和 R_3 / R_1。SiPM 的输出电容较大，样机中使用到的 S14160-1315PS 的输出电容为 100 pF，为了使 R_{load} 分配到 90%以上的电荷，R_{load} 的取值确定为 200 Ω。下面将就 CEPC AHCAL 样机的电子学需求，讨论高低增益通道各自的增益和动态范围，并确定具体的 R_1、R_2 和 R_3 的取值。

基于前文讨论，为了将 MIP 信号从台基中区分开来，高增益通道的闭环增益应当尽可能大。然而，由于实际电路中使用的运算放大器的开环增益不是无穷大，并且与输入信号带宽相关，当输入信号带宽过高，反相放大器的闭环增益会下降，引入通道不确定性，从而影响到量能器的能量分辨率。可以使用下式定量地描述高增益通道的闭环增益A_{CL}与运算放大器的开环增益A_{OL}的关系。显然，当$A_{OL}\beta = -j$时，$A_{CL} = 0.707(-R_2/R_1)$，此时开环增益A_{OL}对应的运放带宽即为反相放大器的-3 dB 带宽。

$$\begin{cases} A_{CL} = -\dfrac{R_2}{R_1}\left(\dfrac{1}{1+\dfrac{1}{A_v\beta}}\right) \\ \beta = \dfrac{R_1}{R_1+R_2} \end{cases} \tag{3.1}$$

运算放大器的带宽与其相应增益的乘积被称为增益带宽积（Gain-BandWidth Product, GBWP），GBWP 为常量并且与运算放大器所处的工作状态无关。GBWP 可以定量地描述运算放大器的高带宽性能，目前已有很多运算放大器的 GBWP 可以达到 3 GHz 以上。

表格 3-1 常见的运算放大器 GBWP 调研结果表[62,69]

运算放大器型号	生产厂家	GBWP(GHz)	电源电压范围(V)
LT6406	Analog Devices	3.0	2.7 ~ 3.5
AD8099	Analog Devices	3.8	5 ~ 12
OPA847	Texas Instruments	3.9	10（±5）
LMH6629	Texas Instruments	4.0	2.7 ~ 5.5
OPA858	Texas Instruments	5.5	3.3 ~ 5.25
LTC6409	Analog Devices	10	2.7 ~ 5.25
THS4302	Texas Instruments	12	3 ~ 5

表格 3-1 给出了几款运算放大器的 GBWP 的调研结果，有大量 GBWP 在 3 GHz 以上的运放可供选择，部分运放的 GBWP 甚至可以达到 10 GHz 以上。对

SiPM 的信号波形分析确定出前置放大器的带宽需要好于 100 MHz，联立这一条件和运算放大器的 GBWP 即可确定出高增益通道的β值，以及对应的增益大小。OPA847 的 GBWP 为 3.9 GHz，电源电压为±5 V，其特征具备一般性，就 OPA847 展开的研究工作更具有参考价值，因而此处选择 OPA847 作为放大电路的运放芯片。

OPA847 的开环增益波特图如图 3-10[66]所示，在频率为 100 MHz 时，其开环增益$|A_{OL}|$=39。前文中讨论过，若令β=1/39 则基于此款运放实现的反相放大器的-3dB 带宽即为 100 MHz。进一步地，为保证反相放大器的带宽高于 100 MHz，应当有：$R_2 / R_1 < 1/\beta - 1 = 38$。

高增益通道增益过高，会降低其动态范围，影响到 Pion 测试确定高低增益比值 GR 的效果。根据图 3-7 的 SiPM 输出信号模拟结果，可以计算出 1 pC 输出电荷对应的峰值电流为 0.076 mA，经过 R_{load} 转换为电压信号后峰值电压为 0.076 mA × 200 Ω = 15.8 mV。OPA847 所支持的最大工作负电压绝对值为 5 V，当 R_2 / R_1 取最大值 38 时，高增益通道可以覆盖 5 V / (38 × 15.8 mV/pC) = 8.3 pC，约为 8 MIP，可以满足 GR 刻度需求。进一步地，当 R_2 / R_1 的取值不超过最大值 38 时，高增益通道的动态范围均可满足 GR 刻度需求。为了留出一定的调试空间，R_2 / R_1 的取值为 30，此时高增益通道动态范围上限为 5 V / (30 × 15.8 mV/pC) = 10.5 pC，同时满足了 MIP 刻度和 GR 刻度的需求。

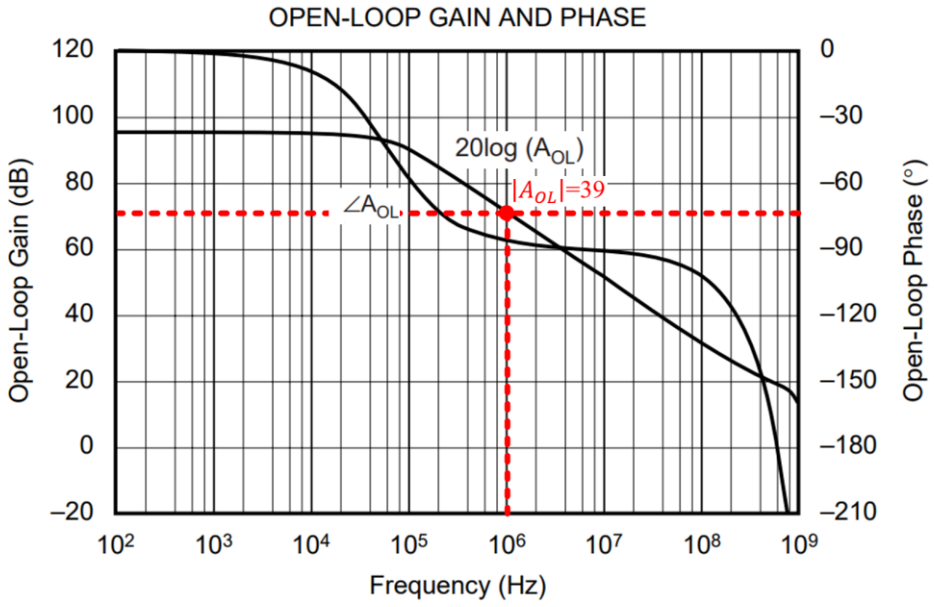


图 3-10 OPA847 开环增益及相位波特图[66]

除了满足带宽需求，另一个需要讨论的是反相放大器的相位裕度，当放大器电路的相位裕度为负值时系统的负反馈状态会被打破，从而发生振荡。在反相放大器中，为保证足够的相位裕度，需要确保器件的增益设置电阻和输入电

容创建的零点大于电路的带宽，具体的计算公式如下：

$$\frac{1}{2\pi \times \left(C_{cm} + C_{diff}\right) \times (R_2 \parallel R_1)} > \frac{GBWP}{NG} \tag{3.2}$$

上式中 NG = 1/β，为反相放大器的噪声增益，C_{cm}和C_{diff}分别为运放的共模和差分输入电阻。查询芯片手册，带入各项数据可以计算得到：R_1 < 5000 Ω。然而R_1的阻值过小也会导致前置放大器无法达到理想的工作状态。反相放大器的输入电阻等于R_1，SiPM 与 R_{load}的输出电阻为两者等效电阻的并联，阻值大小为 100 Ω，为了保证反相放大器的输入端分配到绝大部分的电压，需要有：R_1 > 2000 Ω。联合以上分析结果，最终可以确定出R_1 = 3000 Ω。

低增益通道的研究工作主要是保证电路的动态范围。基于前文的计算结果，设低增益通道的增益大小为 k，那么有 5 V / (| k | × 15.8 mV/pC) > 235 pC，进而有| k |< 1.35。不妨设| k | = 1，此时有低增益动态范围为 5 V / (1 × 15.8 mV/pC) = 316 pC。

（b）　单通道成形电路研究

前置放大器输出的电压信号的波形与 SiPM 输出信号波形保持一致，峰位宽度较窄，对其直接作峰值采样会引入较大的误差（难以准确采集到峰值信号）。为了提高系统信噪比，必须引入合适的成形电路，将前置放大器的输出信号处理成顶部较平的电压信号。

一般成形电路兼具滤波功能，也可称为滤波电路，两者没有本质区别。如图 3-11 所示的线性时不变系统，在时域内其输入、输出信号和系统冲击响应分别为$v_i(t)$、$v_o(t)$和$h(t)$。作拉氏变换后可以得到频域下分别为$V_i(s)$、$V_o(s)$和传递函数$H(s)$，且有$V_i(s) \times H(s) = V_o(s)$。

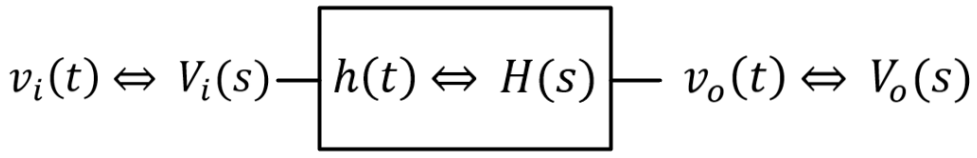


图 3-11 复频域下的线性时不变系统

对于一般的集总参数线性时不变系统，传递函数可以写成如下形式：

$$H(s) = \frac{b_m}{a_n} \frac{\prod_{k=1}^{m}(s - Z_k)}{\prod_{i=1}^{n}(s - Z_i)} \tag{3.3}$$

其中 Z_k 和 Z_i 分别为传递函数的零点和极点，可以是实数、虚数或复数。为了便于分析讨论，如图 3-12 所示，可以将传递函数的零点和极点统一在复平面内。复平面内不同位置的零点和极点会对输出信号的波形引入不同的影响。基于此，成形电路的基本原理为，综合利用有源器件和无源器件构造出在复平面内适当的位置设置零点或极点，从而实现对输入信号波形的调整。

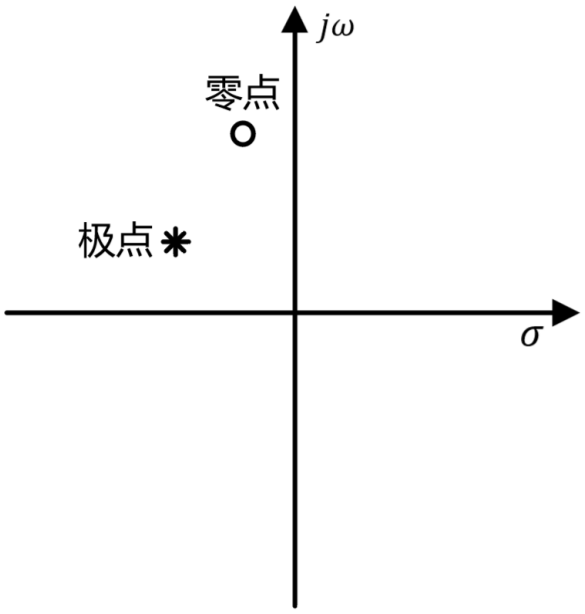


图 3-12 传递函数极点与零点在复平面上的分布

当传递函数存在位于右半平面的极点（$a + j\omega, a > 0, \omega \epsilon R$）时，显然其时域上冲击函数$h(t)$会存在形式类似$ke^{at}\cos(\omega t + \varphi)$的一项。$a > 0$，此项会随时间递增，导致系统不稳定。因此，一般的成形电路设计会将极点全部设计在左半平面内。

向传递函数增加负实数极点（负实数位于左半平面），输出信号波形相较于输入波形的峰部位置会后移，峰位会更加平坦，峰值两侧趋于对称。由于增加负实数极点会使得具备平滑波形的作用，常用于峰值采样的成形电路中。

向传递函数增加负实数零点，相当于在原波形基础上叠加其导数。设输入波形为$f(t)$，零点为$-a$，输出信号波形为$af(t) + f'(t)$。随着零点位置的左移，求导操作的占比则会降低，转而以幅度增益为主。

CR-RC^n 成形电路是最常见也最实用的无源阻容成形电路之一。如图 3-13 所示，其基本结构由一级 CR 微分电路和 n 级积分电路串联而成，每一级微分或积分电路之间使用放大倍数为 1 的跟随器作隔离。

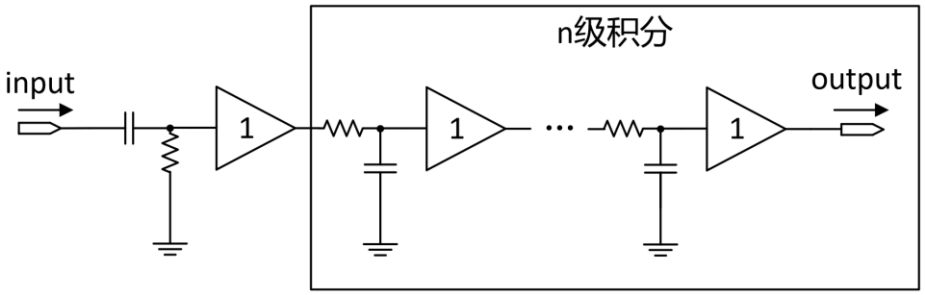


图 3-13 CR-RC^n 成形电路结构

第一级微分电路主要起到滤去低频噪声的作用。n级积分电路一方面作高通滤波，与微分电路联合构成带通滤波，另一方面向传递函数引入 n 级负零点，起到平滑输入波形的作用。当微分电路和积分电路的时间常数$\tau = RC$相等时，CR-RC^n 成形电路具备最佳信噪比，其频率响应函数为:

$$H(s) = \frac{j\omega\tau}{(1 + j\omega\tau)^{n+1}} \tag{3.4}$$

SiPM 的增益足够高，因此成形电路核心的设计目标是将前置放大器的输出信号处理成准高斯信号，便于峰值采样。CR-RC^n 成形电路的频率响应函数存在 n + 1 个负实数极点，可以对 SiPM 的输出信号起到良好的平滑作用，获取平坦的峰位。CR-RC^n 不会压缩电路的动态范围，因此前文确定的动态范围上限依然成立。但是，CR-RC^n 电路的成形时间τ会影响到电路的噪声水平，进而影响到动态范围下限。下文将结合前文确定的前置放大器结构，具体讨论 CR-RC^n 电路的最佳成型时间以及对应的等效输入噪声，进而确定该电路结构在样机中的可行性。

CR-RC^n 是对理想滤波器的近似，衡量其近似程度的参考量为其劣质系数，劣质系数越大其信噪比越差。增加 CR-RC^n 电路的积分级数 n，可以降低其劣质系数，例如将 n 从 2 提高到 4，信噪比会提高 4%[70]。由于样机的通道数较高，且 CR-RC^2 的信噪比已经达到理想滤波器的 80%以上[70]。为降低电路成本，本文选择使用如下图所示的 CR-RC^2 电路作为成形电路。

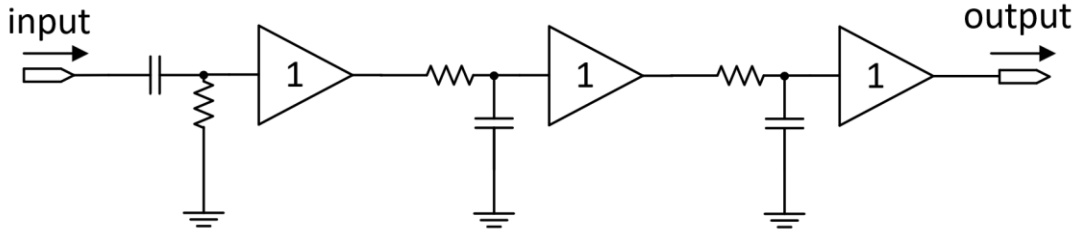


图 3-14 实际使用的滤波成形电路

基于前文内容中确定的前置放大器和成形电路的基本结构，可以给出表格 3-2 中的各项噪声源及其定义。

表格 3-2 各项噪声源

噪声类型	噪声电压（或电流）定义
SiPM 漏电流噪声	$2eI_{\mathrm{D}}$
偏压电阻$\mathrm{R_D}$热噪声	$4\mathrm{kT}/\mathrm{R_D}$
R_{load}热噪声	$4\mathrm{kT}/\mathrm{R}_{load}$
$\mathrm{R_1}$热噪声	$4\mathrm{kT}/\mathrm{R_1}$
$\mathrm{R_2}$热噪声	$4\mathrm{kT}/\mathrm{R_2}$
运算放大器输入电压噪声	V_{nOP}

注：k 为玻尔兹曼常数，T 为绝对温度，e 为单位电荷量，$\mathrm{I_D}$为 SiPM 漏电流。

SiPM 的暗电流可以用下式[71]进行计算，其中 e 为电子电荷量，$N_{0.5\,p.e.}$为 SiPM 的暗计数值，M 为 SiPM 增益，Pcrosstalk 为 SiPM 串扰率。

$$I_D = eMN_{0.5\,p.e.}\frac{1}{1-Pcrosstalk} \tag{3.5}$$

在频域内对上述各项噪声进行积分后可以得到噪声表达式如下：

$$V_n^2 = \frac{675\tau}{8C_{\mathrm{SiPM}}^2}\left[2eI_D + \frac{4kT}{R_D \parallel R_1 \parallel R_2 \parallel R_{load}}\right] + \frac{225}{8\tau}V_{nOP} \tag{3.6}$$

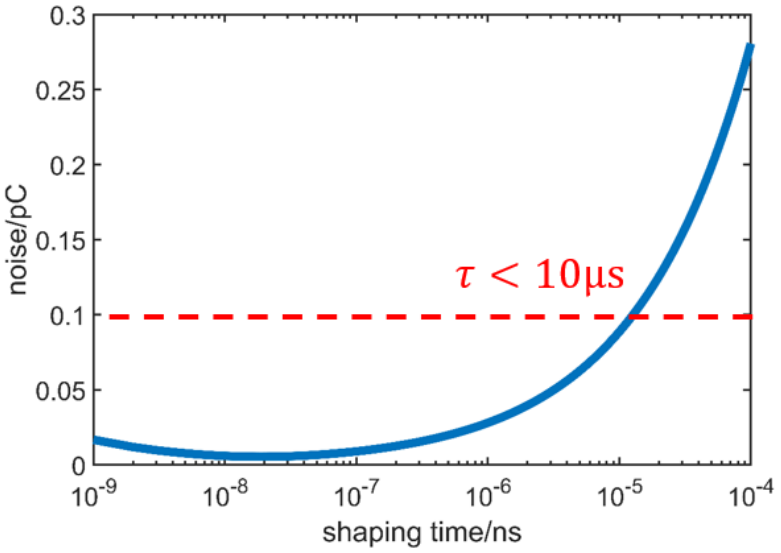


图 3-15 等效输入噪声与成形电路成形时间关系图

上述噪声表达式存在极小值点，带入数值计算后得到最佳的成形时间 τ_{opt}=19 ns。图 3-15 为放大器的等效输入噪声与成形时间关系图，从图中可以得

到当 1 ns < τ < 10 μs时，等效输入噪声小于 100 fC，远小于 326 fC 的噪声需求。换言之，前文提出的前置放大器结构对成形电路的成形时间包容度较高，成形电路的成形时间存在比较富裕的设计空间。

基于前文中的讨论内容，可以确定出 SiPM 前置放大器结构为高低增益双通道电压放大器，高低增益比值为 30，高增益通道用于 MIP 刻度，低增益通道用于承担能量测量任务。成形电路结构为 CR-RC^2，当成形时间τ取值在 1 ns ~ 10 μs时，电子学噪声小于 100 fC。取τ = 10 μs，高增益通道动态范围为 300 fC ~ 10.5 pC，低增益通道动态范围为 300 fC ~ 316 pC。

至此，本文完成了对 SiPM 前置放大器和成形电路的讨论，并给出了具体的技术方案，后文中将以该部分内容为指导，选择合适的 ASIC 展开进一步的研究工作。

3.1.2 关键 ASIC 的选择及功能验证

表格 3-3 为曾经在大型量能器中广泛使用过的探测器信号读出 ASIC 的调研结果。 结合 CEPC-AHCAL 样机的动态范围需求（980 fC ~ 265 pC），以及前文确定的 SiPM 读出电路的基本结构及参数，可见 SPIROC2E 的相关设计参数可以满足我们的需求，其前置放大器和成形电路也是我们所设想的方案。因此，CEPC AHCAL 样机选择使用 SPIROC2E 作为 SiPM 读出的关键 ASIC。

表格 3-3 ASIC 调研结果[72,78]

芯片型号	通道数	动态范围	前置放大器	成形电路	通道功耗
APV25	128	20fC (+/-)	电荷灵敏前放	CR-RC τ=50ns	1.76 mW
NINO	8	2pC	电流灵敏前放	---	50 mW
VA140	64	200fC (+/-)	电荷灵敏前放	---	0.29 mW
VATA160	32	-3-+13pC	电荷灵敏前放	---	4.7 mW
AGET	64	10pC	电荷灵敏前放	---	10 mW
CITIROC	32	320pC	电流灵敏前放	CR-RC^n	7 mW
SPIROC2E	**36**	**320pC**	**电流灵敏前放**	**CR-RC^2 25ns<τ<175ns**	**5 mW**

为了验证 SPIROC2E 的噪声水平和动态范围，我们对 SPIROC2E 进行了单芯片电荷刻度测试。测试方案及单芯片验证板实物图分别如图 3-16（a）和图 3-16（b）所示。具体的测试方案为：使用信号源输出电压变化为ΔU的阶跃信号，经过 18 pF 的微分电容转换为电流信号注入到 SPIROC2E 的输入端，等效的注入

电荷量为CΔU，通过改变信号源输出电压信号的峰峰值可以调整注入到SPIROC2E的电荷量大小。

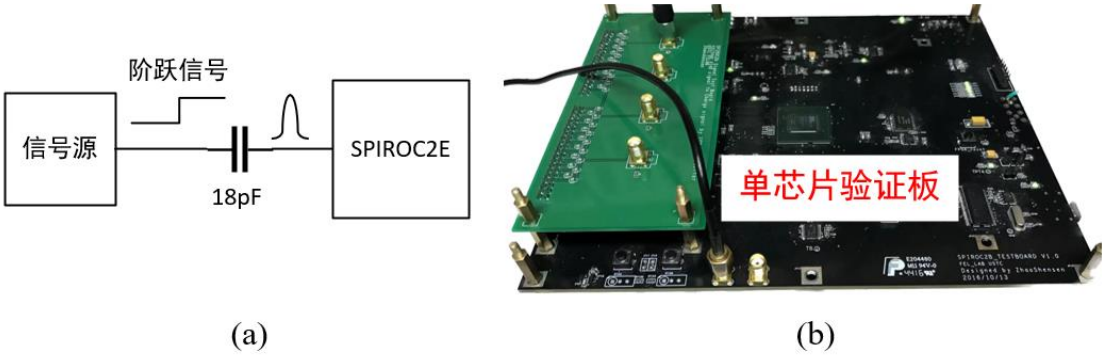


图 3-16 单芯片测试：(a) 单芯片板测试方案；(b) 单芯片板

在不注入电荷的条件下，可以获取 SPIROC2E 的台基结果。测试方法为：利用上位机软件向SPIROC2E提供随机触发信号，SPIROC2E在接收到触发信号后会采集当前输入端的电压信号，由于此时 SPIROC2E 没有输入电荷信号，SPIROC2E 采集到的是台基信号。测试结果如图 3-17 所示，台基位置在 352 ADC code，其 RMS < 5 ADC code*。

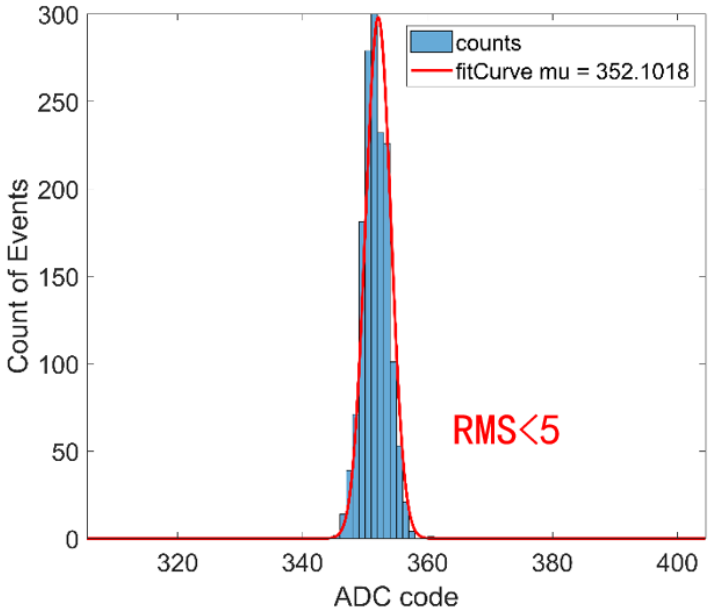


图 3-17 SPIROC2E 台基测试结果

在多点刻度之前，需要确定 SPIROC2E 模拟部分输出的波形是否符合预期。图 3-18 给出了注入的电荷量为 1.7 pC 时，高增益通道经过成形后输出的电压波

* ADC code 即为 ADC 输出道值。ADC 输出道值是无量纲量，为了便于读者阅读，此处使用 ADC code 表示 ADC 输出道值，这是比较常见的使用方法。

形，其信号峰峰值为 550 mV。SPIROC2E 的模拟部分输出了准高斯波形，这与前文中的设计目标保持一致。

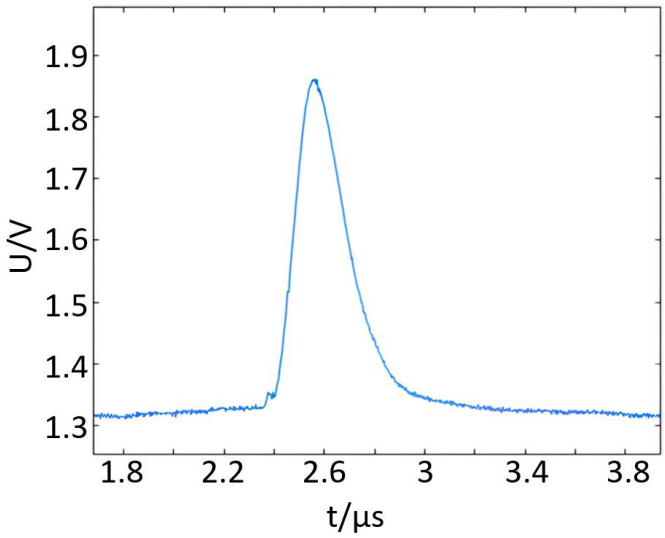


图 3-18 成形后的模拟信号

进一步地，改变注入 SPIROC2E 的电荷量可以得到如图 3-19 的电荷刻度结果，当 ADC 输出超过 2910 道时进入非线性区，此时模拟电路开始发生饱和。通过拟合，可以确定出高低增益通道输出的 ADC code 与输入电荷量的关系分别为：296.5 ADC code/pC 和 9.6 ADC code/pC 。结合基线 RMS < 5ADC code 的测试结果，可以确定出 SPIROC2E 的电子学噪声为 5 ADC code /（296.5 ADC code / pC）< 20 fC。在动态范围方面，通道饱和位置在 2910 道 ADC code，结合低增益通道增益和基线位置可以计算出动态范围上限为（2910 ADC code – 352 ADC code）/ 9.6 ADC code/pC = 266 pC。

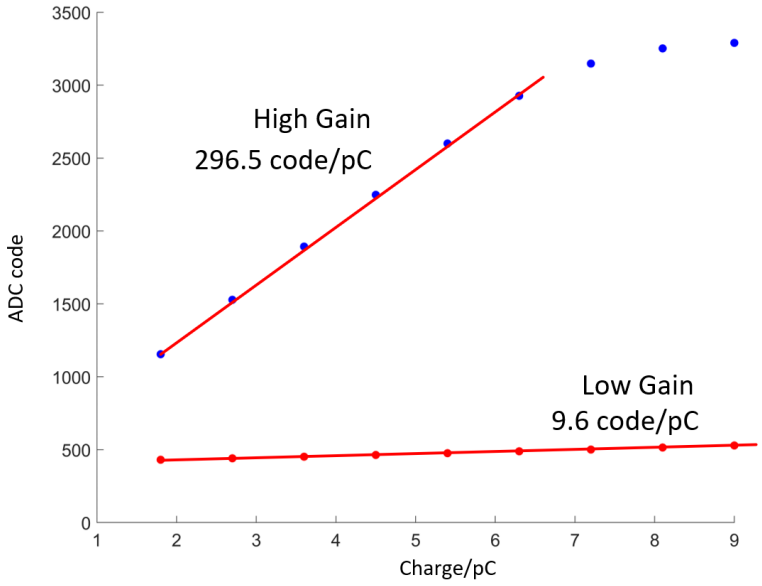


图 3-19 高低增益 ADC 输出与注入电荷量关系

本节通过对 SiPM 前置放大器和成形电路的研究，确定出了 ASIC 选型的基本方向。基于此，本文完成了关键 ASIC 的选型和功能验证，经过电子学测试，SPIROC2E 的电子学性能可以满足 CEPC AHCAL 样机的需求，可以用于 SiPM 的信号读出。

3.2 全通道 SiPM 信号读出方法研究

单通道 SiPM 的信号读出方法研究主要关心电子学噪声和动态范围能否满足需求，推广到多通道 SiPM 信号读出方法研究则需要进一步考虑对取样区的覆盖、通道集成度以及通道一致性问题。

CEPC AHCAL 样机的取样区面积达到 720 × 720 mm^2，模拟读出技术路线要求前端板能够实现对取样区的完全覆盖，因此 CEPC AHCAL 样机前端板面积远超一般量能器。此外，CEPC AHCAL 样机电子学的通道数是一般量能器系统的上百倍，通道密度也高于现有水平。CEPC AHCAL 样机的上述特征为读出电子学设计提出了挑战，然而成像型量能器的发展时间短、技术积累不足，本文需要面向 CEPC AHCAL 样机，独立提出大规模、高密度 SiPM 读出技术。

CEPC AHCAL 样机中大规模地使用了 SiPM，然而 SiPM 增益对温度较为敏感，CEPC AHCAL 样机的高集成度会增大样机内部温度分布的差异性，引入通道不一致性，进而影响到样机的能量分辨率表现。SiPM 增益刻度技术可以消除通道不一致性，而现有技术存在引入大量死时间、对 LED 电阻敏感等问题，因此在全通道 SiPM 信号读出方法研究过程中必须提出 SiPM 增益刻度技术。

3.2.1 单通道读出方法的推广与验证

前文对 SiPM 信号读出方法的研究工作确定了使用 SPIROC2E 作为读出芯片，并完成了功能验证。进一步地，可以将单片 SPIROC2E 的设计方法推广到单层取样层的全通道读出。

SPIROC2E 的基本结构如图 3-20 所示，其模拟部分包含 36 个输入通道，每个输入通道都对应到两路慢成形电路和一路快成形电路，两路慢成形电路分别使用了两路不同增益的前置放大器。在成形电路后端是深度为 16 的采样电容阵列（Sampling Capacitor Array, SCA），负责暂时存储当前成形放大电路输出的模拟电压值。

基于前文中提出的 SiPM 前置放大器的设计方案，以及 SPIROC2E 的内部结构，可以将单通道读出方法进行推广，得到如图 3-21 所示的 36 通道 SiPM 读出方法。SiPM 的输出信号从正向端被引出，在 SiPM 的反向端通过保护电阻 R_D 接入高压平面。R_D 的作用在于防止线上电流过大以及相对输入端形成高阻通路，以保证 SiPM 电流信号正确流入 SPIROC2E 输入端。每片 SiPM 附近都并联了电容 C_{HV}，用于向 SiPM 提供恢复到正常工作模式所需的电荷。由于 SPIROC2E 的输入端集成了调节 SiPM 正向端工作电压的数模转换器（Digital-to-Analog Converter, DAC），额外添加了隔直电容 C_0 以防止 DAC 的输出端通过 R_{load} 形成

到地的直流回路。

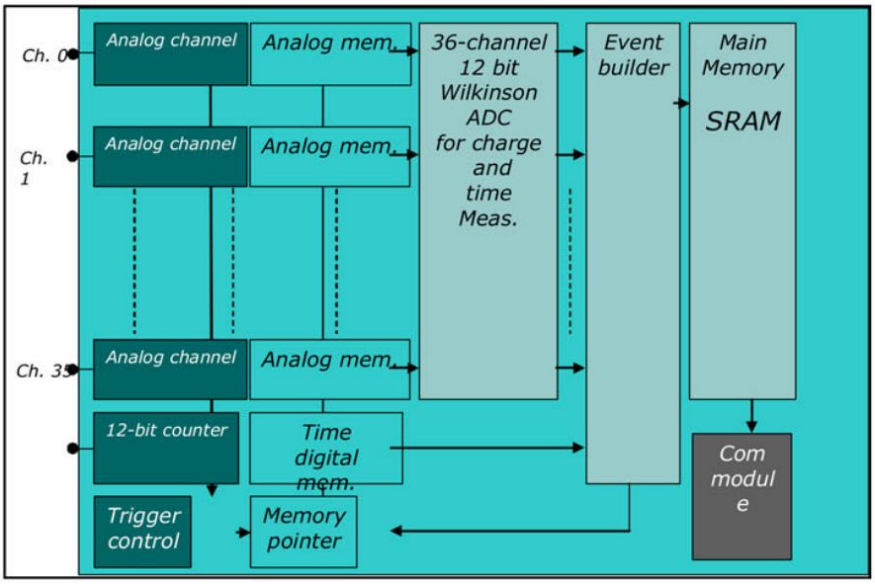


图 3-20 SPIROC2E 基本结构图[79]

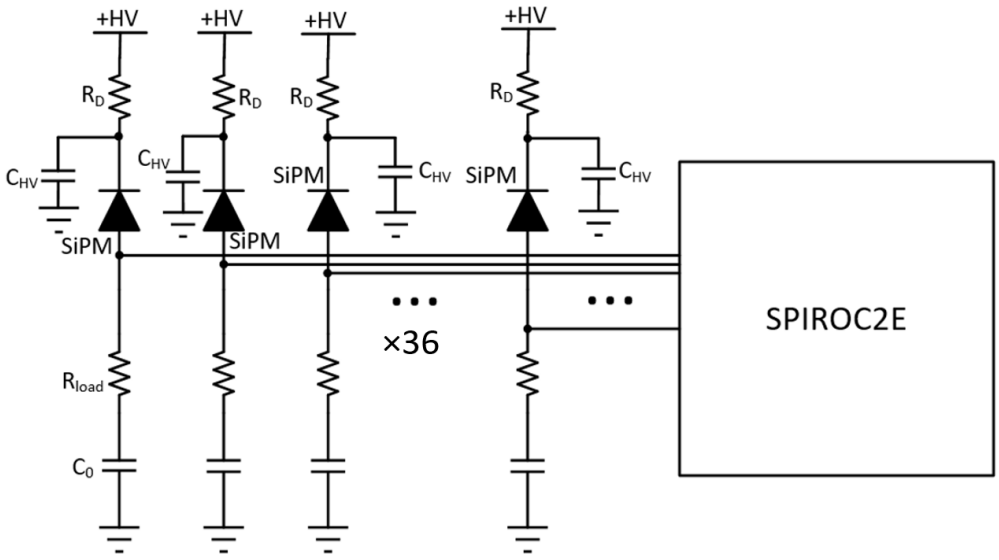


图 3-21 SPIROC2E 端接方案

进一步地，可以将 36 通道 SiPM 读出方法推广到单层取样层的 324 通道 SiPM 读出方法。每层前端板需要使用到 324 / 36 = 9 块 SPIROC2E 以完成对所有 SiPM 的信号读出。为了压缩 SiPM 输出端到 SPIROC2E 输入端的走线长度以保证模拟信号质量， 9 块 SPIROC2E 的布局方式如图 3-22 所示，以 3 × 3 的方式均匀地分布在前端板上，每块 SPIROC2E 读出其正下方 6 × 6 分布的 36 片 SiPM 的电荷信号。

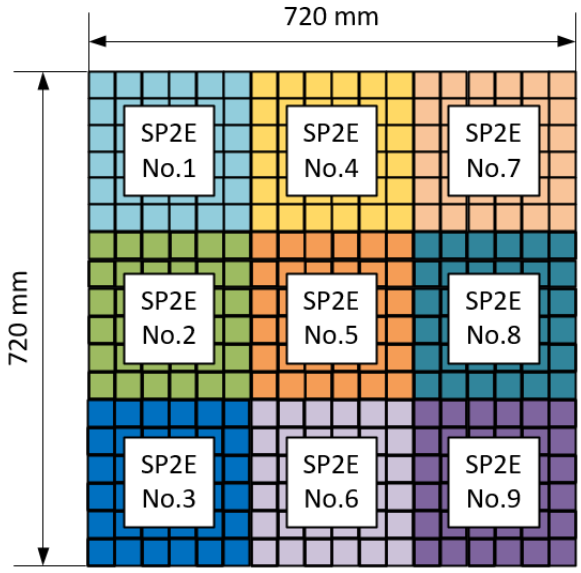


图 3-22 前端板上 SPIROC2E 布局

为了验证 324 通道 SiPM 读出方法能否满足样机对电子学系统的噪声和动态范围需求，我们使用 9 块 SPIROC2E 实现了多芯片验证板。多芯片验证板的器件厚度严格控制在 3 mm 以内，电子学通道集成度可达 40 mm × 40 mm × 3 mm = 4.8 cm^3。

随后，我们对该多芯片验证板进行了电子学测试，测试平台如图 3-23 所示。该测试平台使用低压电源对多芯片验证板供电，通过通用串行接口（Universal Serial Bus, USB）2.0 实现测试机与多芯片验证板的通信。

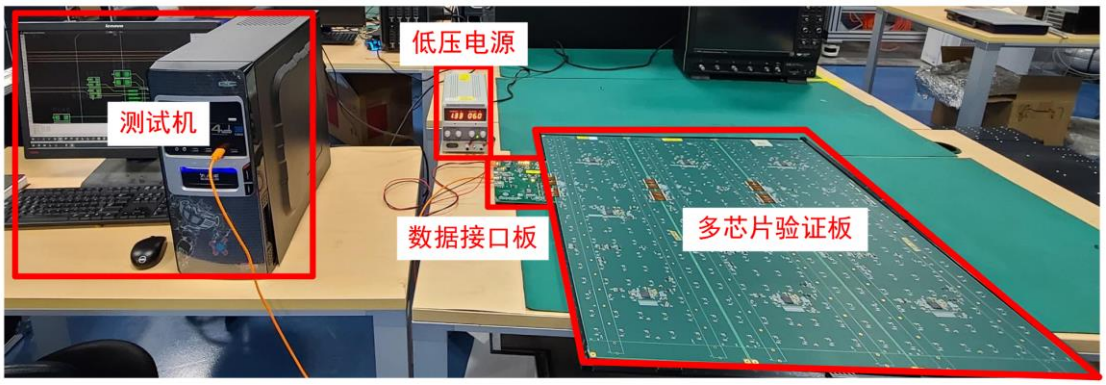


图 3-23 多芯片验证板测试平台

为了测试多芯片验证板的电子学噪声和动态范围，需要完成 324 通道的基线测试和增益刻度测试。基线测试的基本方案是使用外触发信号随机触发 SPIROC2E 采数。SPIROC2E 的采样慢时钟为 250 kHz，触发阈值设定为最大，从而屏蔽掉噪声。在每个慢时钟前沿到来后，SPIROC2E 可以被触发采集数据，测试版每 100 个慢时钟周期向 SPIROC2E 下发一次触发信号。

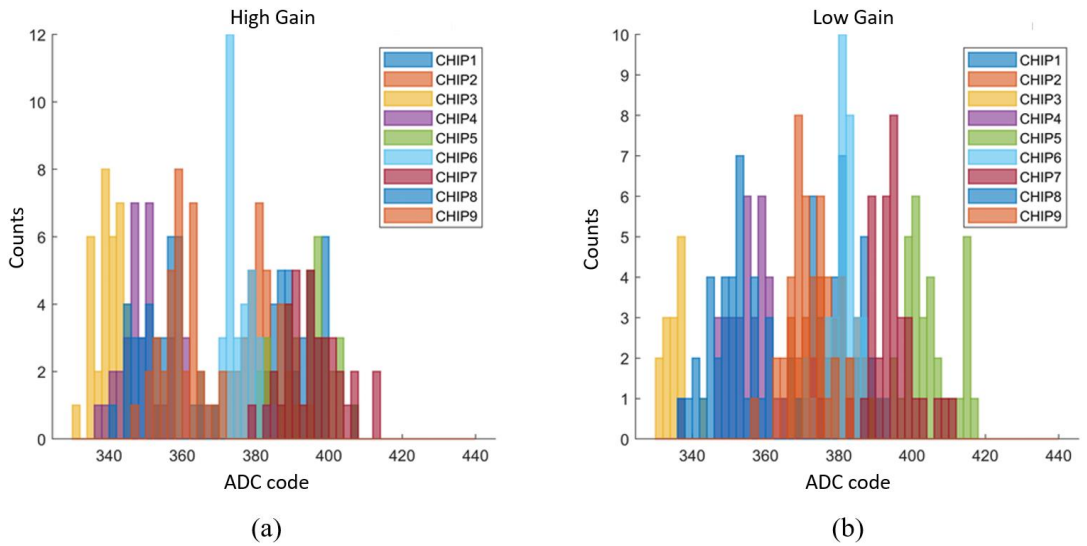


图 3-24 基线分布图：(a) 高增益通道基线分布图； (b) 低增益通道基线分布图

9 块 SPIROC2E 的基线测试结果如图 3-24 所示，由于芯片的模拟通道以及 ADC 的不一致性，不同芯片的基线存在一定差异，但同一芯片不同通道之间的基线测试结果差异小于 3%。

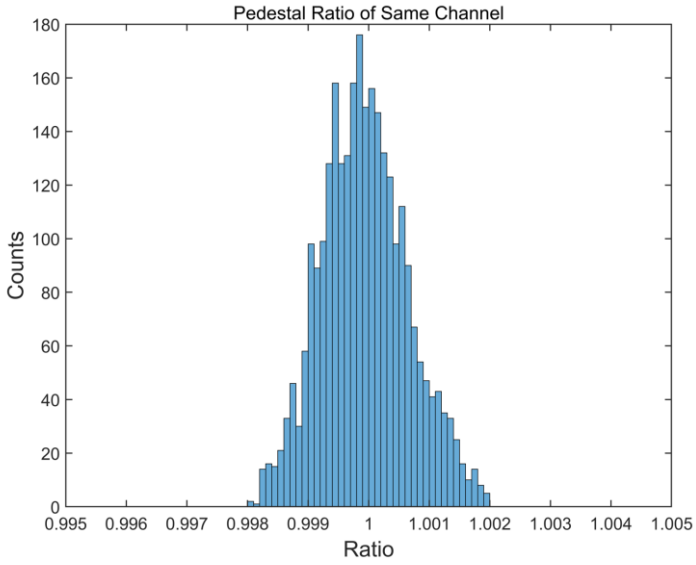


图 3-25 相同通道基线对比测试结果

不同通道间基线的差异性主要由芯片的差异性造成，通道自身基线的位置维持稳定，则不会对样机的动态范围造成影响。为了测试通道基线的稳定性，我们对多芯片验证板进行了 10 次断电、上电、配置以及采数操作，将每一次的基线测试结果与前一次相除可以得到所有通道基线位置的相对变化量。测试结果如图 3-25 所示，通道前后差异性在 0.2%以内，小于一个 ADC 码值，说明通道自身的基线位置维持稳定。

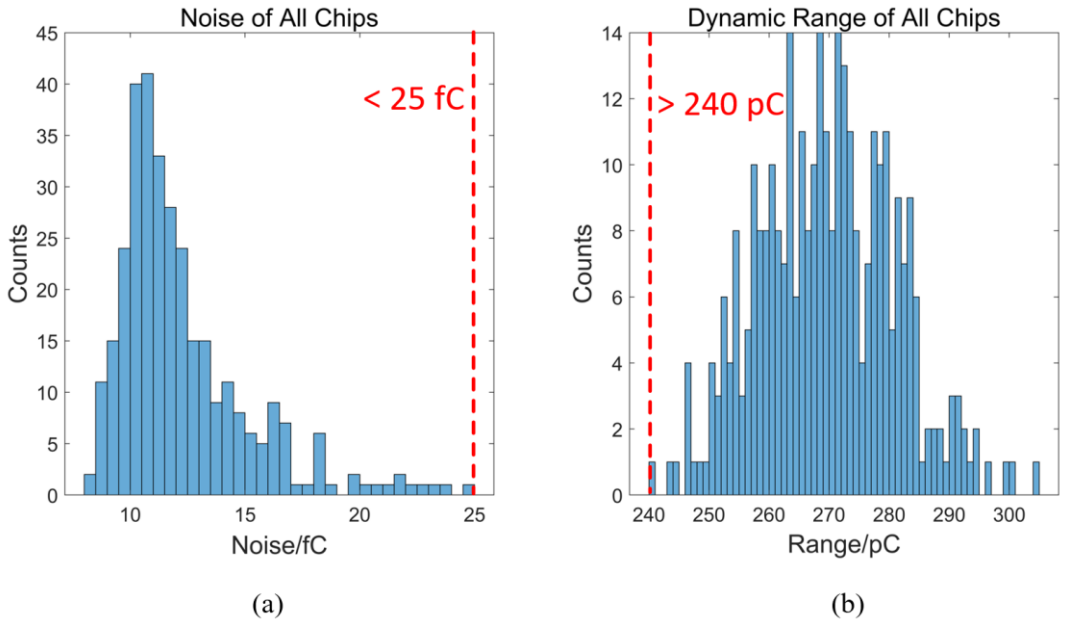


图 3-26 多芯片板测试结果：(a) 电子学噪声测试结果；(b) 动态范围测试结果

基于多芯片验证板内 9 块 SPIROC2E 的电荷刻度测试，可以得到分别如图 3-26（a）和图 3-26（b）所示的多芯片测试板电子学噪声和动态范围统计结果。测试结果说明：多芯片板电子学噪声小于 25 fC，动态范围高于 240 pC，可以满足样机的电子学需求。

本小节将前文中确定的单通道 SiPM 读出方法推广为前端板上的大规模、高密度 SiPM 读出技术，并设计实现了多芯片验证板。通过对器件尺寸的严格控制，多芯片验证板的集成度为 4.8 cm^3/每通道。经过电子学测试，多芯片板的电子学噪声小于 25 fC，动态范围高于 240 pC，可以满足 CEPC AHCAL 样机对前端板的需求。由于前端板面积大、通道数众多且对集成度有严格要求，可以将 SiPM 读出方法的研究工作凝练为大规模、高密度 SiPM 读出技术。

由于前端板上 SiPM 通道数较多，SiPM 通道间的差异性会导致样机能量分辨率下降。因此，前端读出电子学方法研究除了需要保证 SiPM 信号读出质量，还需要对 SiPM 刻度方法进行研究，后文内容将围绕 SiPM 刻度技术展开研究。

3.2.2 基于温度监测的 SiPM 刻度技术研究

SiPM 增益对温度较为敏感，AHCAL 样机细颗粒度的特征会加剧不同位置 SiPM 之间的温度差异，引入 SiPM 增益不一致性，进而影响到样机的能量分辨率。

（a）　温度变化与样机能量分辨率的模拟分析

基于 SPIROC2E 的功耗和样机取样面积，使用 ANSYS 仿真软件，可以确定出如图 3-27 所示的温度场分布图，其中最大温差可达 8.7 ℃。

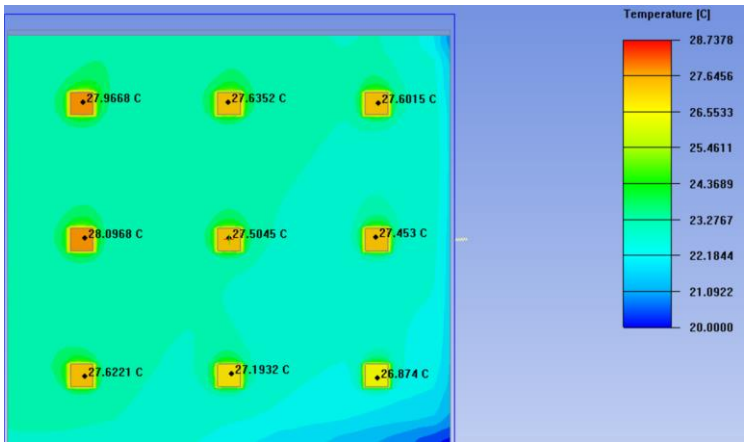


图 3-27 ANSYS 仿真得到的温度场分布

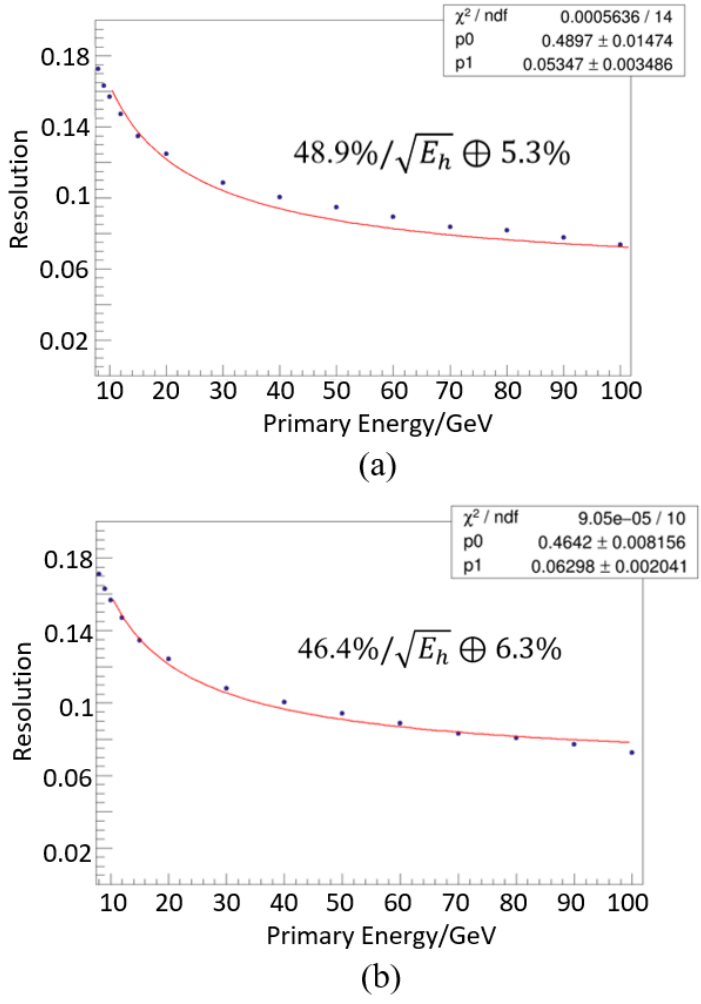


图 3-28 能量重建模拟结果： (a) 考虑温度变化模拟结果；(b) 忽略温度变化模拟结果

SiPM 的增益与其工作温度存在线性关系，以 CEPC AHCAL 样机中使用的 S14160-1315PS 为例，温度每升高 1℃，其增益下降 1%。在此基础上结合温度场模拟结果，可以得到所有 SiPM 增益的相对变化量，从而定量地描述通道间的不一致性。

基于温度模拟结果，代入 SiPM 增益的相对变化量可以得到如图 3-28（a）所示的能量重建模拟结果，能量分辨率拟合结果为 $48.9\%/\sqrt{E_h} \oplus 5.3\%$。图 3-28（b）则为忽略温度变化对 SiPM 增益影响下的样机能量重建模拟结果，对应能量分辨率拟合结果为 $46.4\%/\sqrt{E_h} \oplus 6.3\%$。由温度变化引起的通道不一致性会导致样机能量分辨率本征项变差 $2.5\%/\sqrt{E_h}$。

（b）　现有技术讨论

在成像型模拟强子量能器中，入射粒子的能量只有小部分沉积在灵敏材料中，取样能量的涨落较大，因此本征项的贡献在能量分辨率中占主导。然而本征项容易受到取样材料和吸收层的加工误差的影响，进而导致实测结果与模拟预期产生较大偏差。

作为量能器研究的前沿方向，由于成像型模拟强子量能器的研制成本较高，目前除去 CEPC AHCAL 样机外，仅有 CALICE 国际合作组研制的 CALICE AHCAL 样机进行过完整的束流测试并给出了能量分辨率测试结果。希格斯玻色子的精确测量要求强子量能器的能量分辨率好于$60\%/\sqrt{E_h}$，CALICE AHCAL 样机的初步测试结果为$57.6\%/\sqrt{E_h}\oplus 1.6\%$，处在指标边缘位置，高于 CALICE 组的模拟预期。

虽然成像型模拟量能器的本征能量分辨率与电子学系统无关，但是电子学系统可以借助 SiPM 刻度技术，消除由温度变化引入的能量分辨率贡献项，从而为样机研制留出关键的容错空间。

主动向 SiPM 注入光信号以获取其单光电子峰谱，是目前最常见的 SiPM 刻度技术。全球范围内完成度较高的同类型样机主要包括：由 CERN 主导的 CMS HGCAL CE-H 样机以及由 CALICE 合作组主导的 CALICE AHCAL 样机，两者均选择使用了该方法以实现 SiPM 的离线刻度。但是该方法会引入大量的死时间，并且刻度期间会极大地提高样机短期功耗，导致样机工作温度产生波动，不利于维持 SiPM 的稳定工作。

SiPM 的增益与其工作温度存在线性关系，通过监测 SiPM 工作温度，可以间接地获得其实时增益，并且不会引入死时间和温度波动。实际上，CMS HGCAL CE-H 样机和 CALICE AHCAL 样机都集成了温度监测电路，但并未有利用温度监测电路系统刻度 SiPM 的系统方法被提出。

（c）　全通道温度监测方法研究

SiPM 温度监测的难点在成像型量能器样机通道数量庞大，直接使用 12,960 片温度探头监测每一片 SiPM 的工作温度会极大地提高电子学系统复杂度和实现成本。因此，研究基于稀疏温度探头的全通道 SiPM 温度监测方法是 CEPC AHCAL 样机的必然选择。

监测 SiPM 的工作温度可以等效为 HBU 板温度场的重建，而 HBU 板温度场的形状主要是由 HBU 板上的热源与 PCB 发生热量交换决定的，HBU 板温度场的重建实际上就是对热传导问题的求解。

热传导问题是一种常见的工程问题，本质上是对热传导方程的求解[80]。在印制电路板的热传导问题中，可以近似地认为铜皮是主要的热传导材料。铜是一种各向同性材料，热传导微分方程可以简化为：

$$k\nabla^2 T + \rho Q = 0 \quad (\text{在 } \Omega \text{ 内}) \tag{3.7}$$

式中：$T = T(x, y, z, t)$为瞬态温度场的变量；

ρ 为材料密度（kg/m^3）；

c 为材料比热（J/（kg • K））；

k 为材料的热传导系数（W/（m • K））；

Q = Q（x，y，z，t）是物体内部热源密度（W/kg）。

微分方程的求解需要确定出边界条件，在不同的边界上可以存在不同类型的边界条件。

一种是边界Γ_1上的温度已知（Dirichlet 边界条件）：

$$T = T(x, y, z) \quad （在\Gamma_1上） \tag{3.8}$$

另一种是已知边界Γ_2上的法向热流量（自然边界条件）：

$$-k\frac{\partial T}{\partial n} = q \quad （在\Gamma_2上） \tag{3.9}$$

上式的热流量 q 是指单位时间通过单位表面积的热量。

在实际的工程问题中，大多数的微分方程无法给出精确解，也不需要给出精确解，只需要知道某些点的数值即可解决问题，此类求解方法被称为微分方程的数值解法[81]。

数值解和精确解之间存在误差，定义该误差为残数R_Ω，对于在边界Γ_T上满

足 Dirichlet 边界条件的数值解$\bar{T}$，在待求解区域Ω内部有：

$$k\nabla^2\bar{T} + \rho Q = R_\Omega \quad （在\ \Omega\ 内） \tag{3.10}$$

理想情况下R_Ω应该尽可能地趋近于0。R_Ω也是Ω内关于位置的函数，如果可以实现找到一组系数W_i使得：

$$\int W_i R_\Omega \, d\Omega = 0 \quad （在\ \Omega\ 内） \tag{3.11}$$

则可以说残数消失，此处的W_i被称为权函数，作用在不同有限元内的$\bar{T}$上。

如果令：

$$\begin{cases} \bar{T}(x,y) = C_0 + \sum_{i=1}^{\infty} C_i N_i(x,y) \\ W_i(x,y) = N_i(x,y) \end{cases} \tag{3.12}$$

上式中$N_i(x,y)$称为试函数，将试函数作为权函数的做法称为伽辽金法[82]。基于伽辽金法，可以将稳态热传导方程转换为：

$$\int_\Omega \left[\frac{\partial N_i}{\partial x}\left(k\frac{\partial \bar{T}}{\partial x}\right) + \frac{\partial N_i}{\partial y}\left(k\frac{\partial \bar{T}}{\partial y}\right)\right] d\mathrm{xdy} - \int_\Omega N_i \rho Q dx dy + \int_{\Gamma_q} N_i q \, d\Gamma = 0 \tag{3.13}$$

有限元方法是一种常见的求解数值解的办法，其思路是将连续的待求解区域划分一组按照一定方式互相联结在一起的有限数量单元的组合体。由于单元能够按照不同的联结方式进行组合，且单元自身也具有不同的形状，因此对于复杂的几何形状可以实现模型化。

结合有限元方法的思路，可以将区域Ω划分为多个小单元Ω_e，在每一个小单元存在解：

$$\bar{T}^e(x,y) = \sum_{\Omega_e}^{i=1,P} C_i^e N_i^e(x,y) \tag{3.14}$$

上式中 P 为小单元Ω_e内参数的自由度。

将Ω划分为 M 份则有：

$$\begin{cases} \boldsymbol{K}_{ij}^{e}\boldsymbol{T}_{j}^{e} = \boldsymbol{f}_{i}^{e} \quad i,j = 1,P \\ \boldsymbol{K}_{ij}^{e} = \int_{\Omega_e}\left[\frac{\partial N_i^e}{\partial x}\left(k\frac{\partial N_j^e}{\partial x}\right) + \frac{\partial N_i^e}{\partial y}\left(k\frac{\partial N_j^e}{\partial y}\right)\right]d\text{xdy} \\ \boldsymbol{f}_{i}^{e} = \int_{\Omega_e} N_i^e \rho Q dxdy - \int_{\Gamma_{qe}} N_i^e q\, d\Gamma \end{cases} \tag{3.15}$$

上式中$\boldsymbol{K}_{ij}^{e}$为单元热传导矩阵，$\boldsymbol{f}_{i}^{e}$为单元负载矢量。进一步扩展到区域Ω，设区域内的节点数为 NP 则有：

$$\begin{cases} \boldsymbol{K}_{ij}\boldsymbol{T}_{j} = \boldsymbol{f}_{i} \quad i,j = 1,NP \\ \boldsymbol{K}_{ij} = \sum_{e=1}^{M}\boldsymbol{K}_{ij}^{e} \\ \boldsymbol{f}_{i} = \sum_{e=1}^{M}\boldsymbol{f}_{i}^{e} \end{cases} \tag{3.16}$$

至此，将区域Ω内的温度求解问题转换为对线性方程组的求解问题。

划分Ω的办法较多，其中最基本的办法是创建三角形单元Ω_e。三角形的划分办法与 HBU 板上 SiPM 的分布比较契合，因此对 HBU 的温度重建选择三角形作为最小的有限单元。

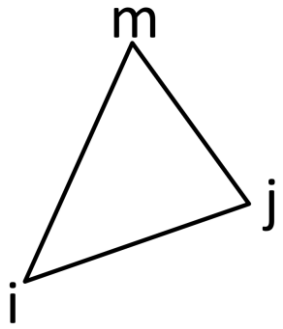


图 3-29 三角形单元

HBU 板上 SiPM 的排布如图 3-30 所示。蓝色区域为闪烁体块，闪烁体块的中心位置是 SiPM。由于闪烁体块的大小相同，SiPM 之间距离也是相同的。相距最近的三片 SiPM 构成了一个等腰直角三角形单元 ijm。类似地，可以将相同的三角形单元扩展到整个平面上。由于这些等腰直角三角形是全等的，所以它们拥有相同的单元热传导矩阵。

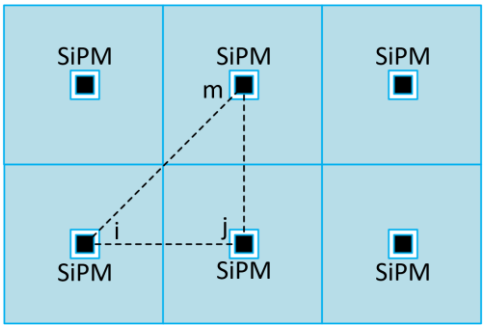


图 3-30 HBU 板上 SiPM 排布

可以很容易获得等腰直角三角形的热传导矩阵为：

$$\boldsymbol{K}^{e}=\frac{k}{2}\begin{bmatrix}1 & -1 & 0\\ -1 & 2 & -1\\ 0 & -1 & 1\end{bmatrix} \tag{3.17}$$

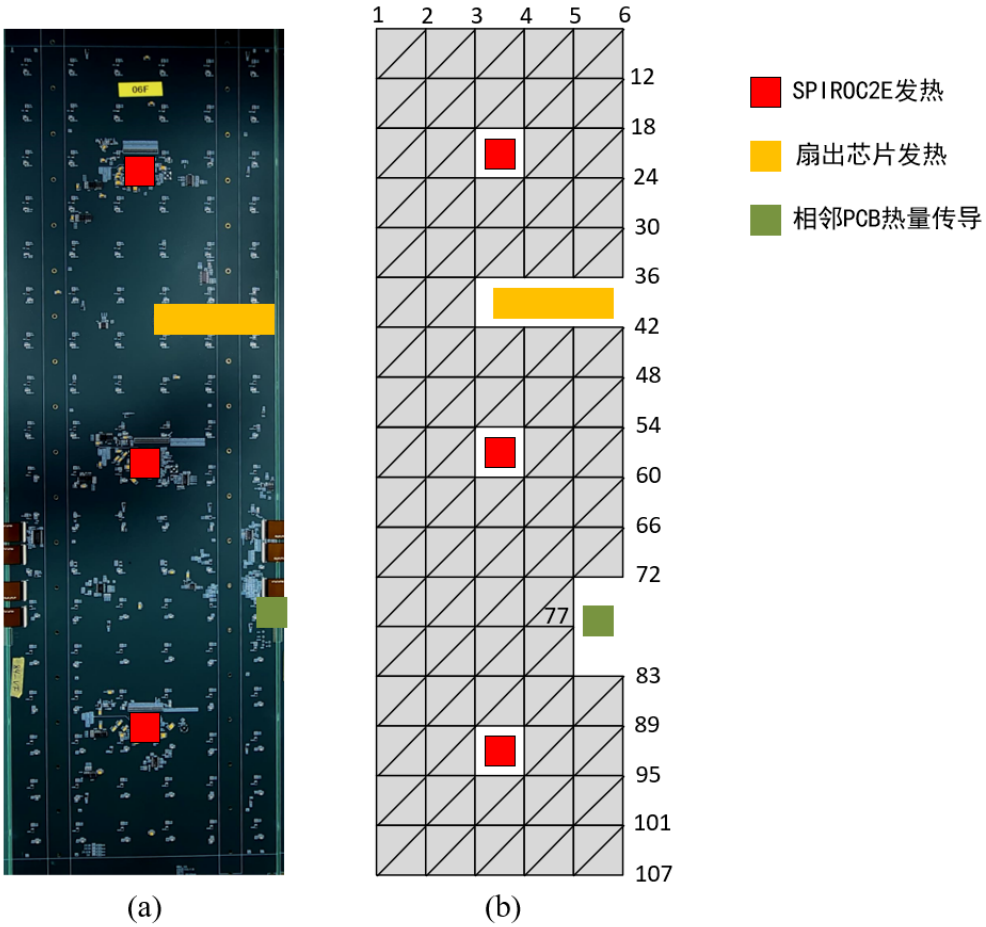


图 3-31 热传导矩阵的确定：(a) sub-HBU 板热源分布；(b)有限单元划分办法

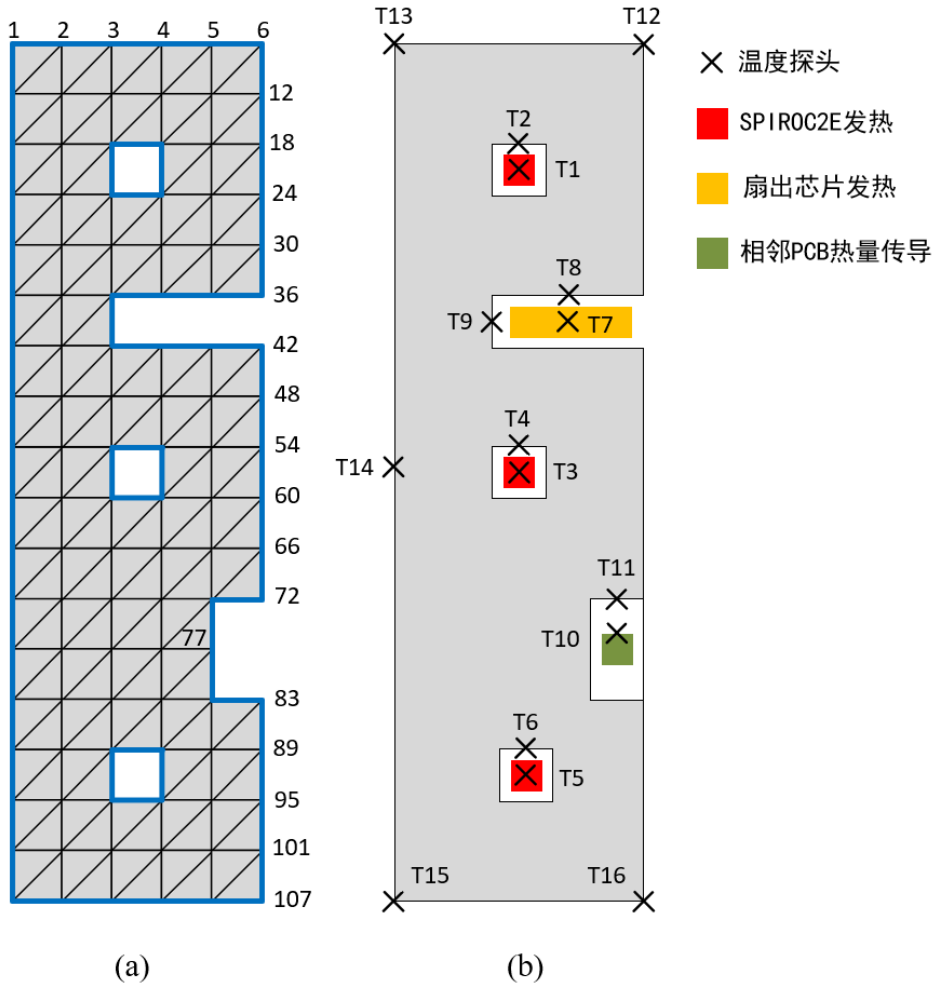


图 3-32 边界条件的确定：(a) 区域边界 (b) 温度探头分布图

在 HBU 板上主要的热源为 SPIROC2E 以及配合 SPIROC2E 工作的差分扇出芯片。HBU 板计划由三块子板组成，子板之间由连接器配合柔性板实现信号传输和电源平面连接，对于 HBU 板的温度重建可以简化成重建 sub-HBU 板的温度场。图 3-31（a）为 sub-HBU 板的主要热源分布，据此可以将子板划分为如图 3-31（b）所示的有限单元。灰色区域为待求解的区域Ω，由 154 个等腰直角三角形小单元Ω_e组成，每个 SiPM 所在的位置都是Ω内的一个节点，为了保证区域Ω内无热源，有一片 SiPM 被划分区域Ω外。Ω共计 107 个节点，对节点的编号按照从左到右、从上到下依次递增的方式完成。

将区域Ω内所有小单元Ω_e的热传导矩阵进行组装，可以得到 107 阶的Ω的热传导矩阵 **K**，其中比较具有代表性的节点例如K_{77}的拼接办法如下：

$$K_{77} = K_{mm}^{1} + K_{ii}^{2} = 2 \tag{3.18}$$

至此，只要再确定出边界条件即可温度场的求解。由于区域Ω内部没有热源，单位负载矢量的$\boldsymbol{f}_Q^e = 0$，只需要考虑自然边界条件下的单位负载矢量。区

域Ω中与热源有接触的单元数共有 23 个，其余与热源不接触的单元可以认为满足 Dirichlet 边界条件。以与 SPIROC2E 接触的单元$\boldsymbol{f}_q^{16}$，$\boldsymbol{f}_q^{24}$，$\boldsymbol{f}_q^{25}$，$\boldsymbol{f}_q^{33}$为例，可以近似地认为热源向各个方向的热流量 q 是均匀的。

设 SiPM 间距相等为 L，则有：

$$\begin{cases} f_{15} = -qL \\ f_{16} = -qL \\ f_{21} = -qL \\ f_{22} = -qL \end{cases} \tag{3.19}$$

基于该思路，如图 3-32（b）所示的温度贴点分布方案被提出。如图所示，共计使用了 16 片温度探头（推广到 HBU 板则为 48 个），其中 T1 与 T2，T3 与 T4，T5 与 T6，T10 与 T11 以及 T7 与 T8 间距相等为 L/2，T7 和 T9 之间间距为 L。

以 SPIROC2E 附近的边界为例，热流量可以根据下式计算得到。

$$q = \frac{T2 - T1}{L/2} \tag{3.20}$$

将上述方法推广，可以确定出待求解区域Ω的边界条件，结合前文确定出的热传导负载矩阵，则能完成对 HBU 板温度场的求解。

为确定该方案的实际效果，我们完成了验证性测试，测试平台如图 3-33 所示。sub-HBU 板上各处的真实温度使用热电偶读出，热电偶共计有 18 通道可用，使用胶带将其均匀地固定在 sub-HBU 板上。进行温度测试时，上位机主动控制 SPIROC2E 持续采数，待到 sub-HBU 板温度稳定后，分别读出温度探头和热电偶的数据。

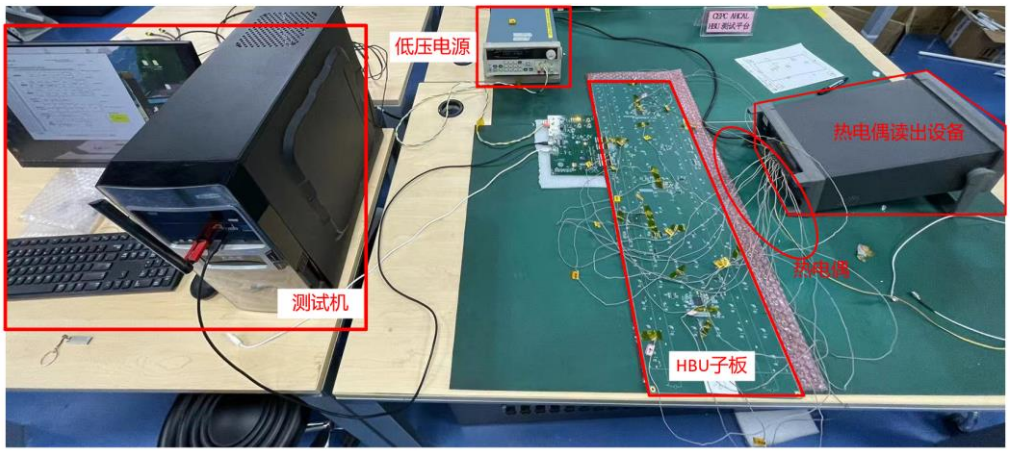


图 3-33 温度场重建测试平台

边界处温度探头输出温度值为 26.89 ℃、26.84 ℃、26.89 ℃、26.86 ℃，为了避免出现奇异矩阵导致方程无解，可以近似认为边界处温度相同。使用温度探头数据，依据前文有限元重建方法，对 HBU 温度场进行重建，重建结果如图 3-34 所示，图中黑点表征热电偶（thermocouple）的分布及温度测试结果。重建结果与热电偶测试结果差值分布如图 3-35 所示，两者误差最大值小于 0.5 ℃。

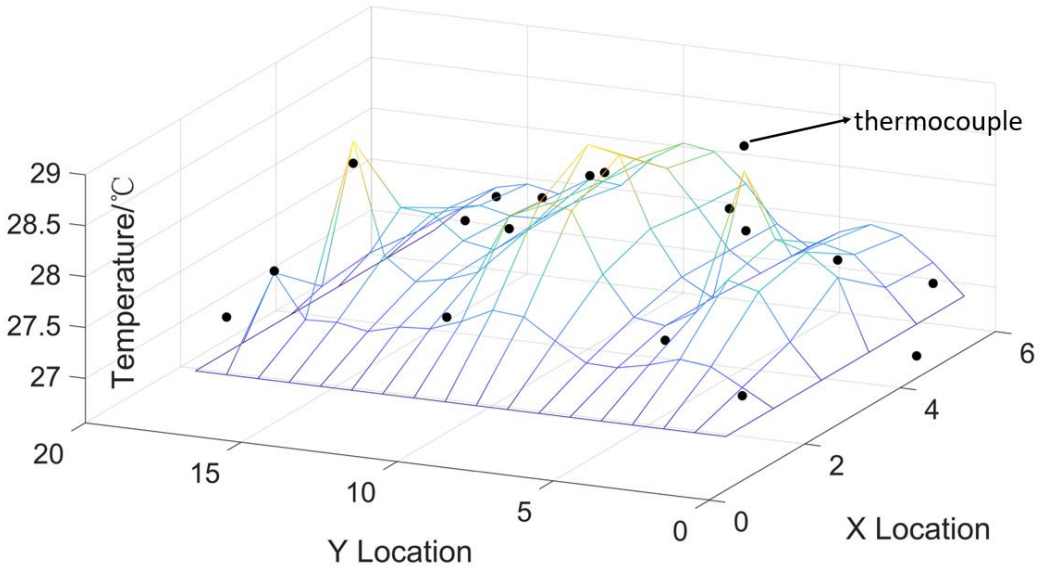


图 3-34 温度场重建结果

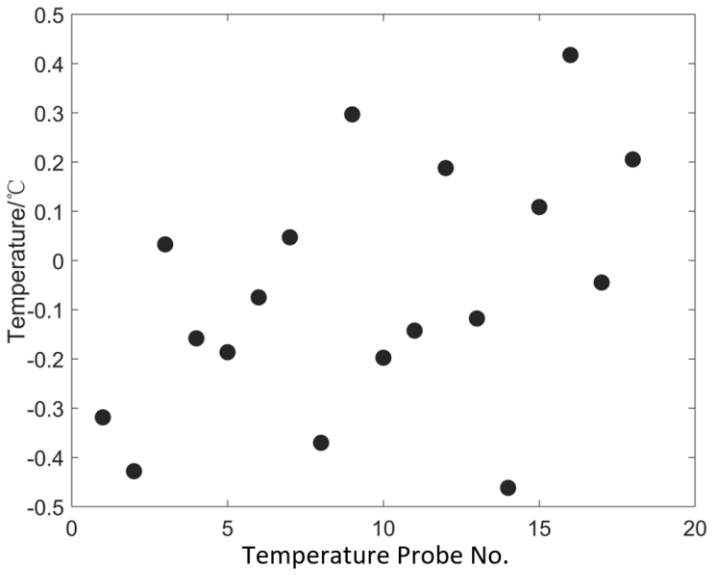


图 3-35 重建结果与实测结果差值

代入温度重建结果，对 SiPM 做增益修正后可以得到图 3-36 所示的能量重建模拟结果。对不同能量点的模拟结果使用晶球函数拟合后，可以得到修正后的能量分辨率优化到 $46.5\%/\sqrt{E_h} \oplus 6.2\%$。前文中不考虑温度变化对 SiPM 增益

影响条件下的样机能量分辨率模拟结果为 $46.4\%/\sqrt{E_h} \oplus 6.3\%$，与此处经过 SiPM 增益修正后的能量分辨率结果相对差值小于 0.2%。考虑到拟合误差的存在，可以认为本文提出的基于温度监测的 SiPM 刻度方法能够消除温度变化对样机能力分辨率的影响。

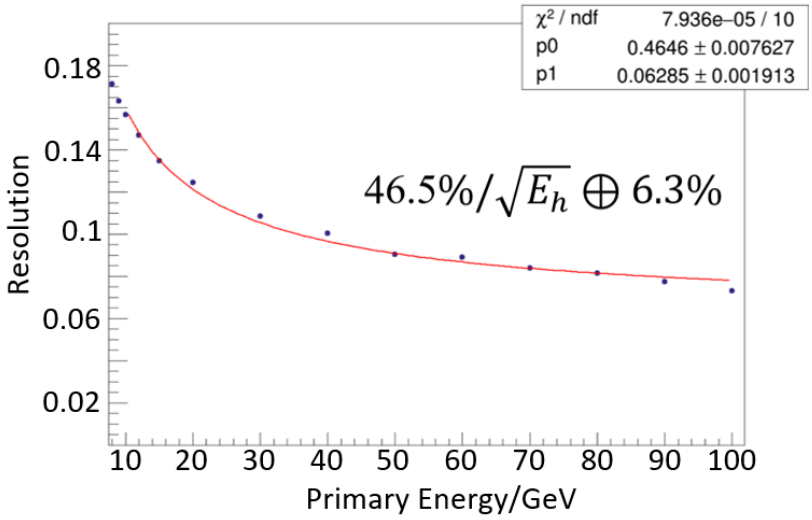


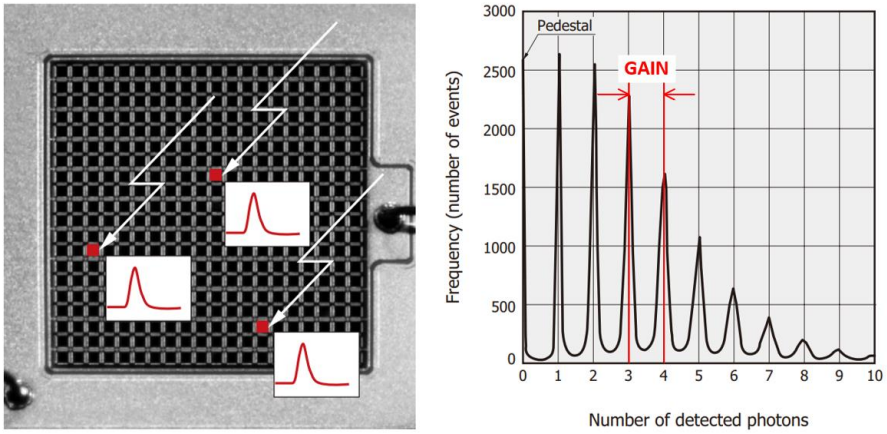
图 3-36 利用温度监测结果做增益刻度后的能量分辨率模拟结果

CALICE AHCAL 样机的能量分辨率为$57.6\%/\sqrt{E_h}\oplus 1.6\%$，与希格斯玻色子精确测量提出的能量分辨率需求仅相差$2.4\%/\sqrt{E_h}$。虽然 CEPC AHCAL 样机的能量分辨率模拟结果好于 $50\%/\sqrt{E_h}$，但是参考已有样机的测试结果，模拟结果与实测结果会存在一定误差。本文中提出的基于温度监测的 SiPM 增益刻度方法可以消除温度变化引起的约$2.4\%/\sqrt{E_h}$的能量分辨率变化量，从而为 CEPC AHCAL 样机留出关键的容错空间。

3.2.3 基于单光电子峰谱的 SiPM 刻度技术研究

前文提出的基于温度监测的 SiPM 增益刻度办法可以消除温度变化对样机能量分辨率的影响，但无法直接监测 SiPM 的工作状态。为了直接获取所有 SiPM 的工作状态，还必须引入基于单光电子峰谱的 SiPM 刻度技术。

SiPM 的基本结构如图 3-37（a）[83]所示，由上万个像素点组成，每个像素的增益保持一致。SiPM 的输出信号是被击中像素输出信号的叠加，正比于被探测到的光子数，所以 SiPM 也被称为多像素光子计数器（Mulit-Pixel Photon Counter, MPPC）。反复使用总光子数接近的光信号照射 SiPM，并对其输出信号峰值做统计，可以获取图 3-37（b）[83]所示的 SiPM 的单光电子峰谱，相邻两个统计峰的间距能够定量地描述 SiPM 的工作状态及增益。



(a)　　(b)

图 3-37 SiPM 基本特征：(a) SiPM 像素结构[83]；(b) SiPM 单光电子峰谱[83]

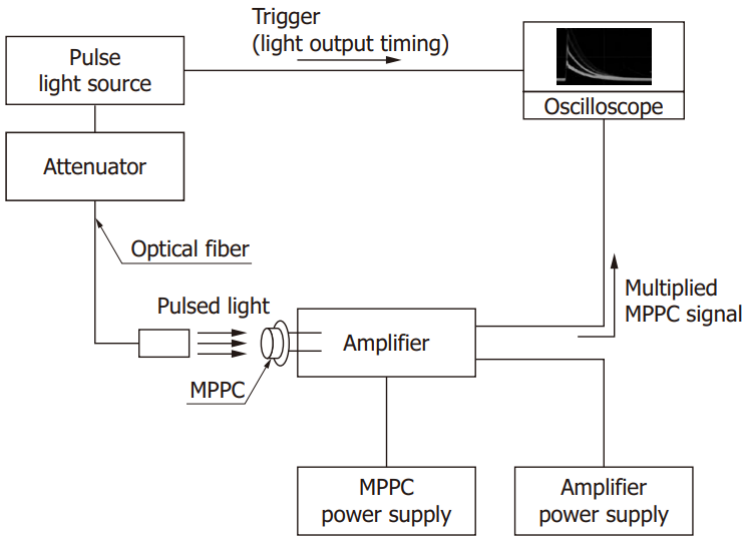


图 3-38 商用 SiPM 刻度系统基本结构[83]

获取 SiPM 单光电子峰谱的一般技术方法如图 3-38[83]所示，其核心的组件为：脉冲光源（Pulsed light）、放大电路（Amplifier）以及示波器（Oscilloscope）。该系统使用脉冲光源产生光脉冲信号，经过衰减片后照射到 SiPM（即为图中的 MPPC）激励其产生电信号，SiPM 产生的电信号在经过放大电路后，会传输至示波器完成信号采集。

（a）　电路设计关键需求分析

脉冲光源驱动电路的设计是 SiPM 刻度电路关键点所在，决定了 SiPM 刻度结果的准确性。脉冲光源产生的光信号波形过宽会导致 SiPM 输出信号的峰位发生偏移，进而影响到 SiPM 增益刻度的准确性。

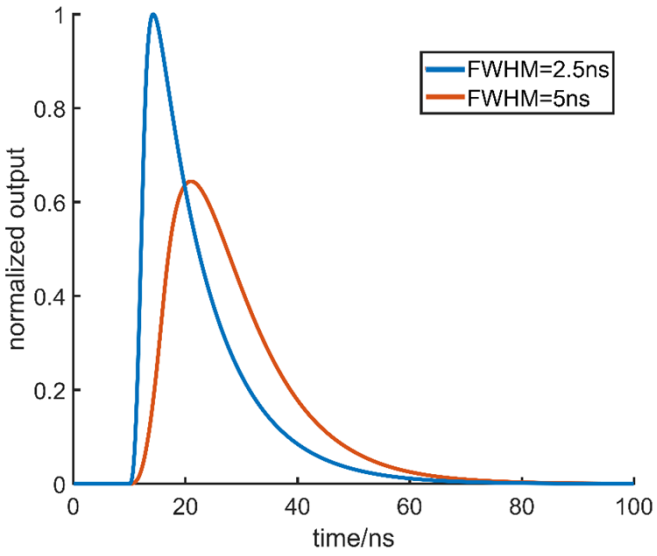
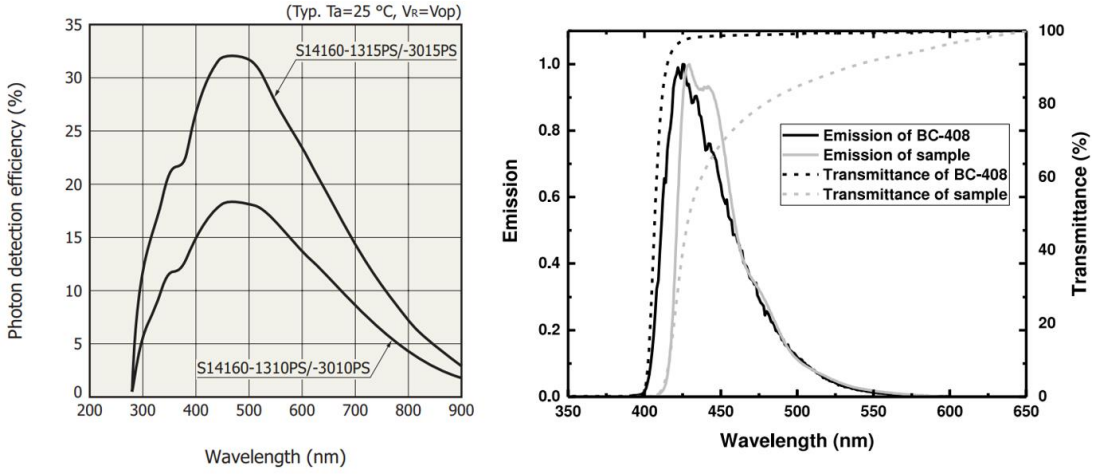


图 3-39 不同半高宽光信号对应的 SiPM 输出信号波形图

样机中使用到的塑料闪烁体为圣戈班公司生产的 BC408，其输出光信号极窄，半高宽仅为 2.5 ns。令照射到 SiPM 表面的光信号脉冲半高宽分别为 2.5 ns 和 5 ns，可以得到如图 3-39 所示的 SiPM 输出信号模拟结果。从图中不难看出，当光脉冲信号半高宽从 2.5 ns 提高到 5 ns 后，SiPM 输出信号的峰值降低了 40%。因此，为了使得刻度结果准确，光脉冲生成电路产生的光信号半高宽与闪烁体一致，在 2.5 ns 左右。



(a)　　(b)

图 3-40 SiPM PDE 与闪烁体光谱相互匹配：(a) S14160-1315PS PDE 与输入信号波长关系图[83]；(b) BC408 光谱图[84]

除波形需求外，光脉冲信号的波长必须与 SiPM 可探测范围存在重叠区域以保证刻度功能的正常实现。图 3-40（a）[83]给出了 S14160-1315PS（样机所使用的 SiPM 型号） PDE 与输入信号波长关系，当输入光信号波长在 300 nm ~ 750

nm 间时，其 PDE 高于 10%。图 3-40（b）[84]为 BC408 的光谱图，其输出光信号波长峰值在 425 nm 左右，与 S14160-1315 PDE 峰位相匹配。

（b）　现有技术讨论

蓝光 LED 的响应时间可以好于 1ns，发光波段在 450 nm 到 475 nm 之间，能够满足 SiPM 刻度的必要条件。此外，蓝光 LED 成本低、体积小，有利于提高集成度、降低实现成本。因此，蓝光 LED 是 CEPC AHCAL 样机中基于单光电子峰谱的 SiPM 刻度电路中光脉冲生产电路光源的最佳选择。然而，现有的成像型模拟量能器样机中的 SiPM 刻度电路中脉冲光源的选择均为紫外光（Ultra Violet, UV）LED。

图 3-41（a）为 CALICE AHCAL 样机的取样层截面图，UV LED 和 SiPM 分别位于 PCB 的两侧。图 3-41（b）为 CMS HGCAL 样机的取样层截面图，UV LED 和 SiPM 位于 PCB 的同侧。现有样机中 UV LED 的选择主要是由其光脉冲电路设计方案所决定，后文将就此作具体介绍。

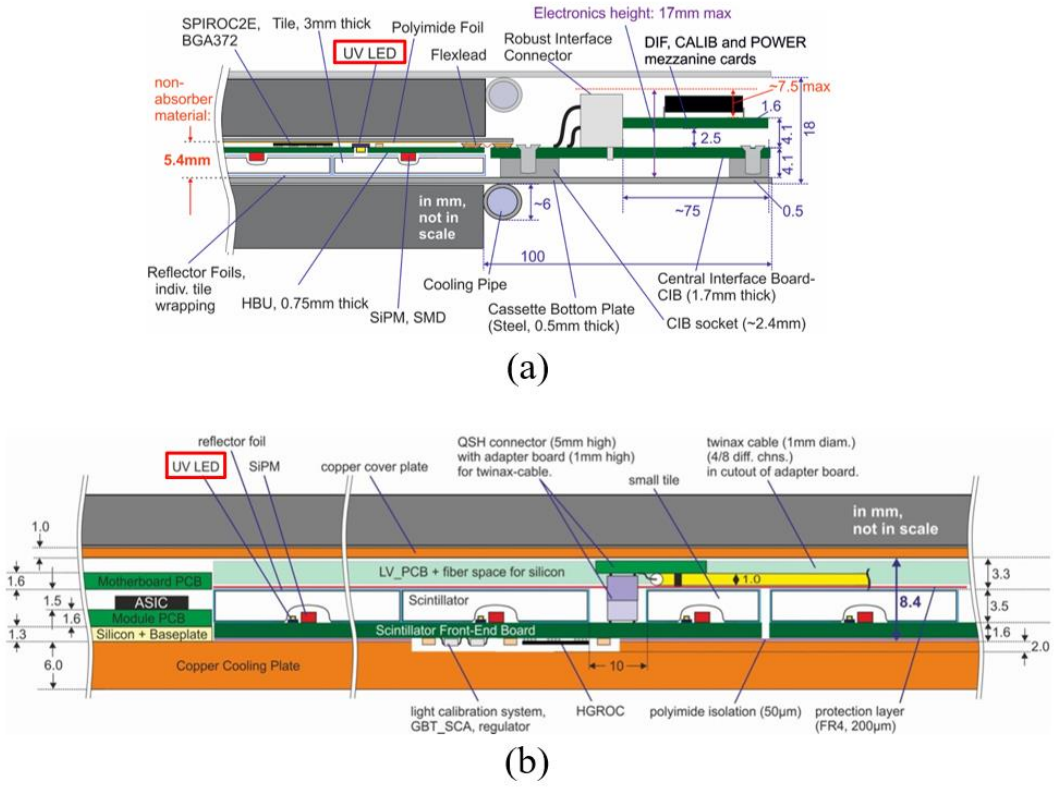


图 3-41 现有样机中的 LED 刻度方案：(a) CALICE AHCAL 样机取样层截面图，UVLED 与 SiPM 分布在 PCB 两侧；(b) CMS HGCAL 取样层截面图，UVLED 与 SiPM 分布在 PCB 同一侧

图 3-42[85]给出了 LED（型号 LBQ39E）的相对亮度与正向工作电流的关系，图中 I_V 为 LED 亮度、I_V（5 mA）为正向导通电流为 5 mA 时的 LED 亮度，I_F 为

LED 正向工作电流。从图中可以看出，LED 的亮度与其正向工作电流具有线性关系，即 LED 生成的总光子数正比于输入的总电荷量的。光脉冲驱动电路的设计主要是利用 LED 的上述特征，将生成光脉冲的需求转换为生成电流脉冲的需求，利用电路分析方法解决问题。

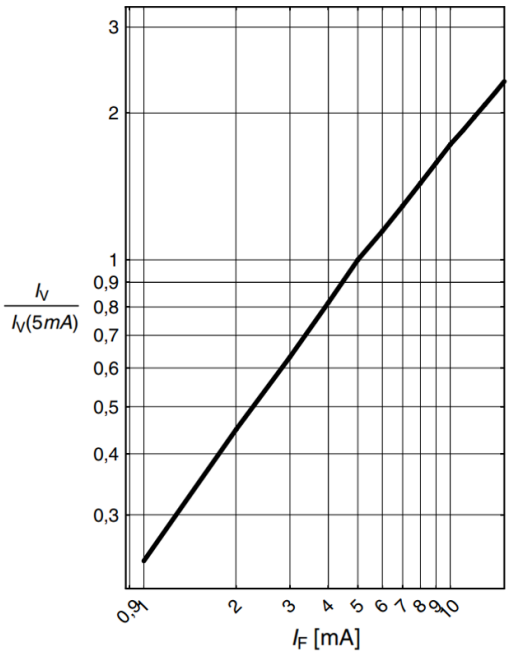


图 3-42 LED 相对发光强度与正向工作电流关系图[85]

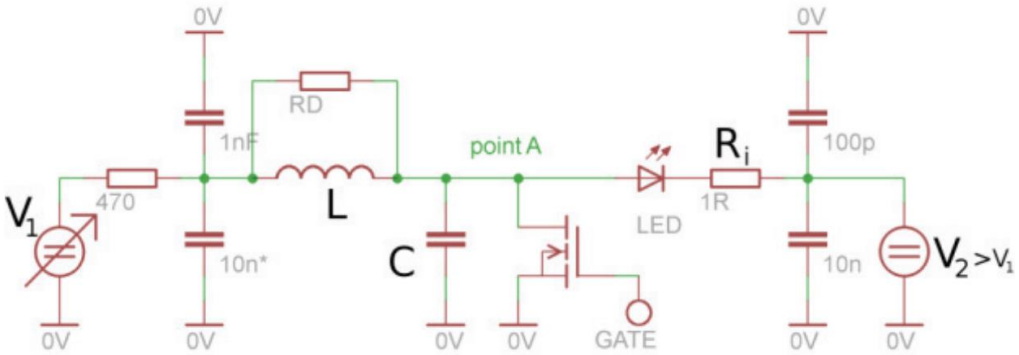


图 3-43 CALICE AHCAL 样机 LED 驱动电路图[86]

为了降低电路复杂度和复制成本，CALICE AHCAL 样机的光脉冲生成电路是基于 RLC 欠阻尼振荡而设计的，其电路原理图如图 3-43[86]所示。RLC 电路结构简单，仅由电阻 R、电感 L、电容 C 以及场效应管组成，当 R、L 和 C 的大小满足欠阻尼振荡要求时，场效应管导通后，电路中就会产生如下式所示的电流信号。式中的指数项和正弦项分别决定了电流信号的衰减速度和振荡周期，通过改变电路中的 R、L 和 C 可以获得如图 3-44 中右图所示不同宽度的电流脉冲。

$$I(t)=\frac{U_0}{(\frac{L}{C}-\frac{R^2}{4})^{1/2}}e^{\frac{-R}{2L}t}\sin[(\frac{1}{LC}-\frac{R^2}{4L^2})^{\frac{1}{2}}t] \tag{3.21}$$

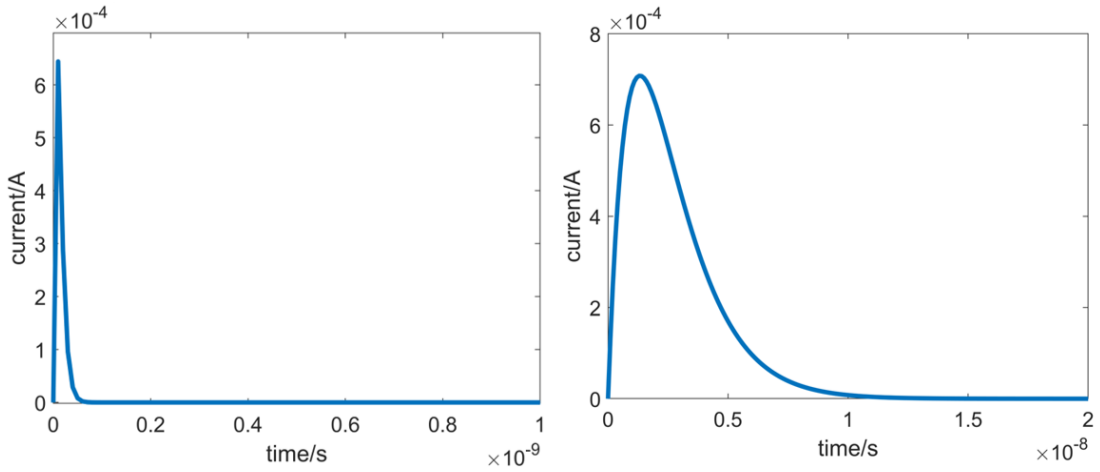


图 3-44 控制控制 R、L 和 C 参数得到的不同宽度的电流脉冲图

CALICE AHCAL 样机中 LED 输出光脉冲测试结果如图 3-45[86]所示，其中绿线、红线和蓝线分别表示紫外 LED（UV LED）光脉冲波形、紫外 LED 经过光纤引出后的光脉冲波形以及蓝光 LED 的光脉冲波形。紫外 LED 输出的光脉冲半高宽较为理想在 2.5 ns 附近，蓝光 LED 输出的光脉冲半高宽则达到了 10 ns 以上。CALICE AHCAL 样机的 SiPM 刻度结果如图 3-46[86]所示，由于蓝光 LED 的效果较差，图中仅有通过紫外 LED 获得的 SiPM 单光电子峰谱。

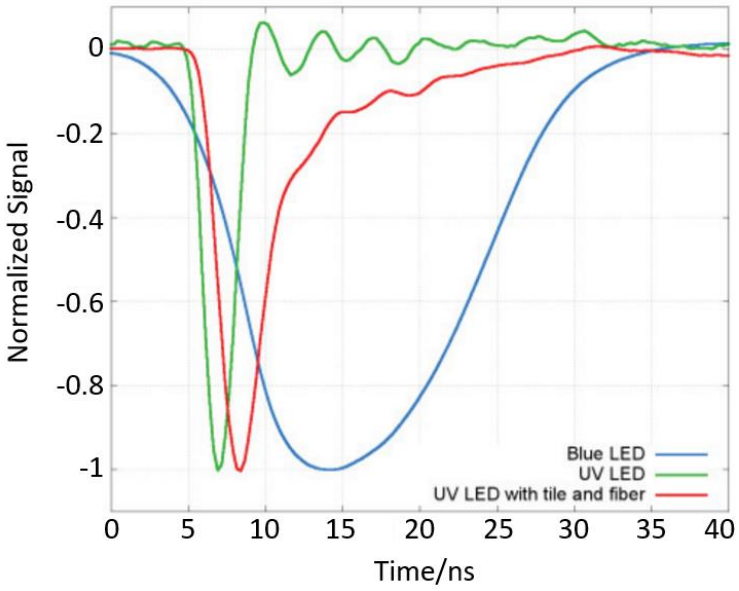


图 3-45 CALICE AHCAL 样机 LED 输出光脉冲波形[86]

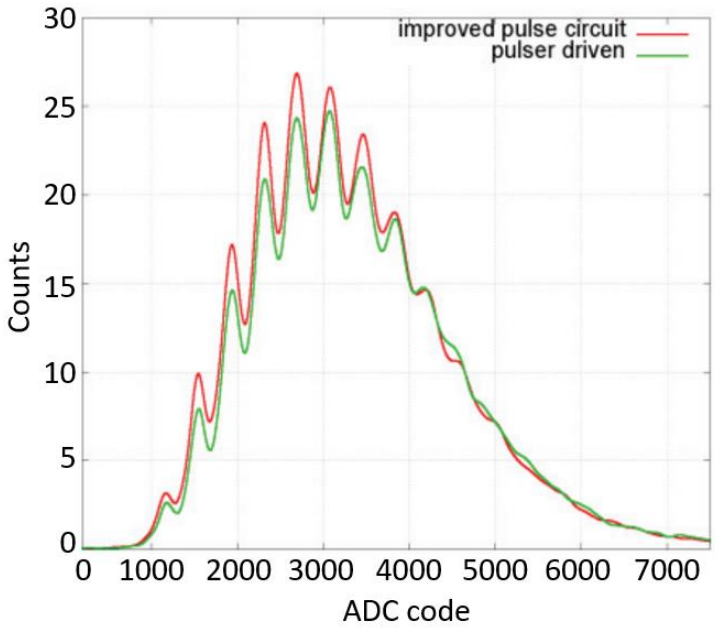


图 3-46 CALICE AHCAL 样机 SiPM 单光电子峰谱测试结果[86]

RLC 电路的振荡效果对 LED 的电容十分敏感，只能驱动电容较小的 UV LED 产生符合要求的光脉冲信号，导致 CALICE AHCAL 样机的 SiPM 刻度电路并未选择蓝光 LED。

UV LED 的波长范围为 240 nm 到 360 nm，对应 S14160-1315PS 的 PDE 低于蓝光 LED，并非 CEPC AHCAL 样机的最佳选择。因此，CEPC AHCAL 样机的电子学系统必须提出不同于现有技术方案的 LED 驱动电路。

（c） 蓝光 LED 驱动电路研究

为了克服 RLC 电路对 LED 电容敏感的问题，本文考虑使用开关电路引入猝灭机制控制 LED 的熄灭。图 3-47（a）给出了一种使用 NMOS 作为开关猝灭 LED 的驱动电路设计方案。当不需要 LED 发光时，FPGA 向 NMOS 的栅极输出低电平，此时 NMOS 处在截止状态，电路无法产生电流回路，所以 LED 不会被点亮。同时，DAC 通过电阻 R_1 向电容 C_1 充电，由于 R_1 的阻值较大，在 LED 点亮时几乎不分流，所以可以当作开路处理。当需要生成 LED 光脉冲时，FPGA 会向 NMOS 输出一个宽度为 5 ns 的正脉冲信号。当 NMOS 栅极电压超过开启电压时，其源极和漏极之间就会形成沟道，从而为 C_1 上存储的电荷提供泄放回路。当 C_1 上存储的电荷从 LED 和 NMOS 所在支路泄放到地时，由于电路中存在电流，LED 会发出光信号。FPGA 输出的正脉冲宽度只有 5 ns，5 ns 后由于 NMOS 栅极电压重新恢复到 0，源极和漏极之间的沟道相应地截止，电荷泄放回路断开，LED 相应地被熄灭。

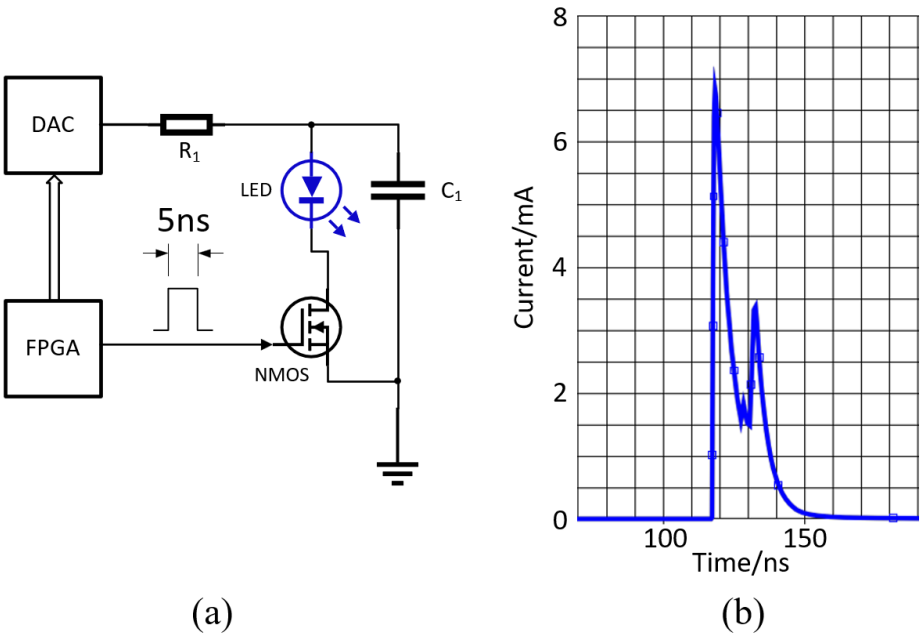


图 3-47 单 NMOS LED 光脉冲生成电路设计与仿真：(a) 单 NMOS LED 光脉冲生成电路；(b) 单 NMOS LED 光脉冲生成电路 PSPICE 仿真结果

为了验证方法的实际效果，使用 PSPICE 程序对电路模型进行仿真计算。如图 3-47（b）所示，仿真结果和预期差别较大，电流脉冲宽度达到了 50ns，并且出现了双峰的结构。出现这种情况的原因是 NMOS 从导通状态恢复到截止状态的过程中会释放出的电荷，导致 LED 无法被猝灭。

为了规避掉场效应管截止过程中伴随的电流对 LED 的影响，我们在单 NMOS 的 LED 驱动方案上加以改动，设计了如图 3-48（a）所示的基于双 NMOS 的 LED 驱动电路。相较于单 NMOS 方案，该电路新增了 $NMOS_2$，$NMOS_2$ 的漏极与 LED 的正向端相连，栅极通过延迟单元与 FPGA 相连。

该方案的具体工作原理如下：当不需要生成 LED 光脉冲时，FPGA 输出低电平，$NMOS_1$ 和 $NMOS_2$ 都处在截止状态，此时 DAC 通过 R_1 向 C_1 充电。当 C_1 上的电压处于稳定状态，并且需要生成 LED 光脉冲时，FPGA 会输出正向阶跃信号。由于 $NMOS_1$ 的通路上没有延时单元，阶跃信号会先到达 $NMOS_1$ 的栅极，使其从截止状态转变为导通状态。此时从电容 C_1、LED 和 $NMOS_1$ 形成了到地的放电回路，随着电容 C_1 的放电，LED 也相应地发出光信号。与单 NMOS 电路不同的是，FPGA 给出的是一段阶跃信号， $NMOS_1$ 会长期处于导通状态，不承担猝灭 LED 的作用。FPGA 输出的阶跃信号在经过 2.5 ns 的延迟后会到达 $NMOS_2$ 处，使其转变到导通状态。由于场效应管的导通状态下的源漏电阻只有几十 mΩ，而 LED 工作时的正向电阻有几十 Ω，当 $NMOS_2$ 导通时 C_1 上剩余的绝大部分电荷会沿着 $NMOS_2$ 所在的通路泄放，LED 所在支路的电流会迅速衰减，

这样就达到了猝灭 LED 的目的。图 3-48（b）是对该电路方案的仿真结果，电流信号半高宽在 2.5 ns 左右，可以满足设计需求。

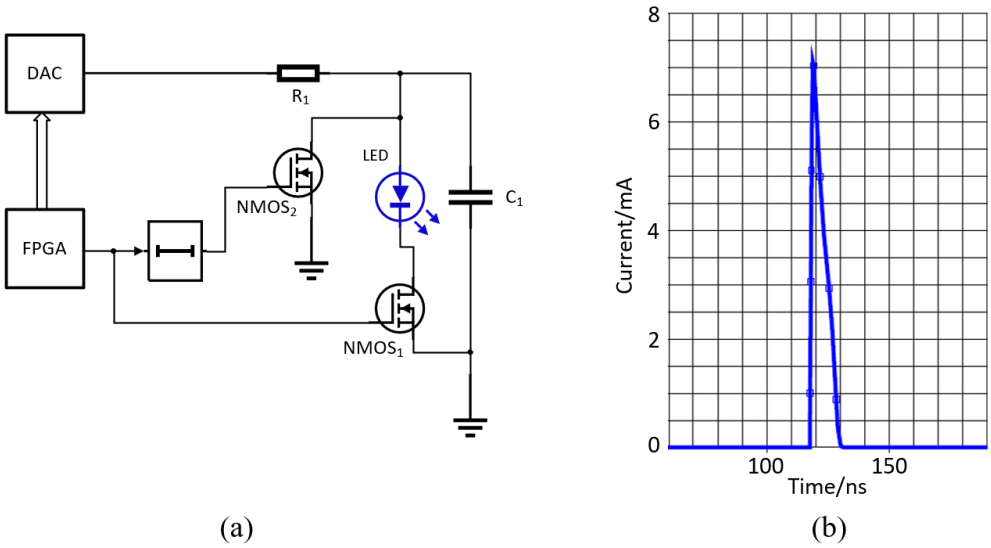


图 3-48 单 NMOS LED 光脉冲生成电路设计与仿真：(a)双 NMOS LED 光脉冲生成电路；(b)双 NMOS LED 光脉冲生成电路 PSPICE 仿真结果

为了验证该方法的实际效果，本文设计并实现了如图 3-49 所示光脉冲生成电路验证板，测试板上使用的 LED 均为蓝光 LED。基于该验证板，我们完成了 LED 光脉冲读出测试，测试方案为：通过光纤引出 LED 的光信号到光电倍增管（PhotoMultiplier Tube, PMT）的接收端，PMT 输出的电信号通过单端 SMA 线引出到示波器，示波器接收端使用 50 欧姆直流匹配。

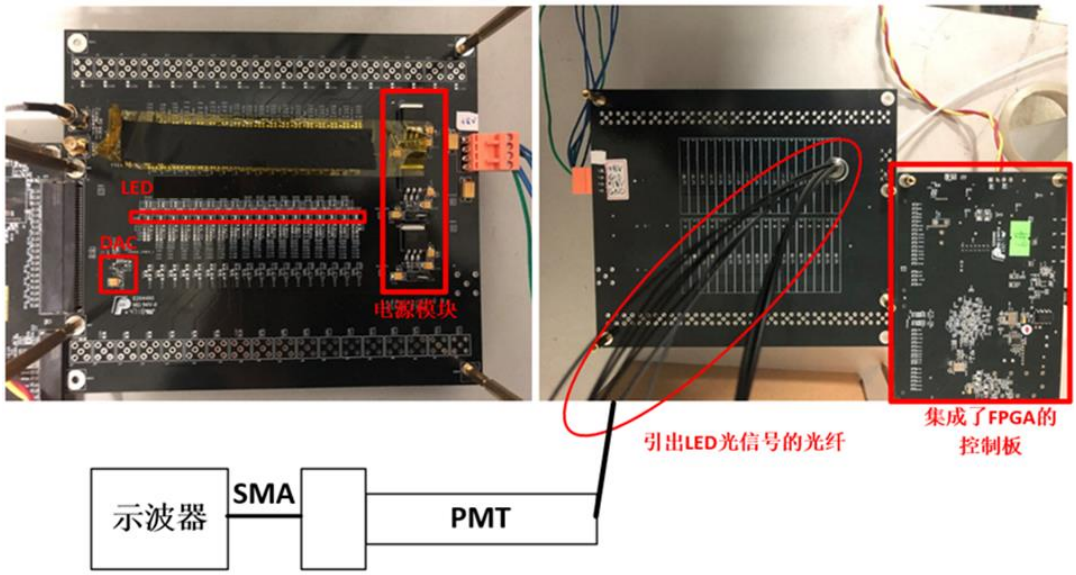


图 3-49 双 NMOS 的 LED 驱动电路验证板及其测试方案

测试结果如图 3-50 所示，其中图 3-50（a）为 DAC 输出电压为 4.2 V 时的

光脉冲波形；图 3-50（b）为 DAC 输出电压为 2.6 V 时的光脉冲波形。从图中可以看到当 DAC 输出电压为 2.6V 时，光脉冲信号半高宽约为 2.5 ns，波形形状接近高斯，可以满足刻度 SiPM 的需求。进一步调整 DAC 的输出电压，可以得到如图 3-51 所示的 DAC 输出电压与光脉冲信号峰值关系，说明该电路输出的光子数可调，也可用于寻找 SiPM 及电子学通道的饱和位置。

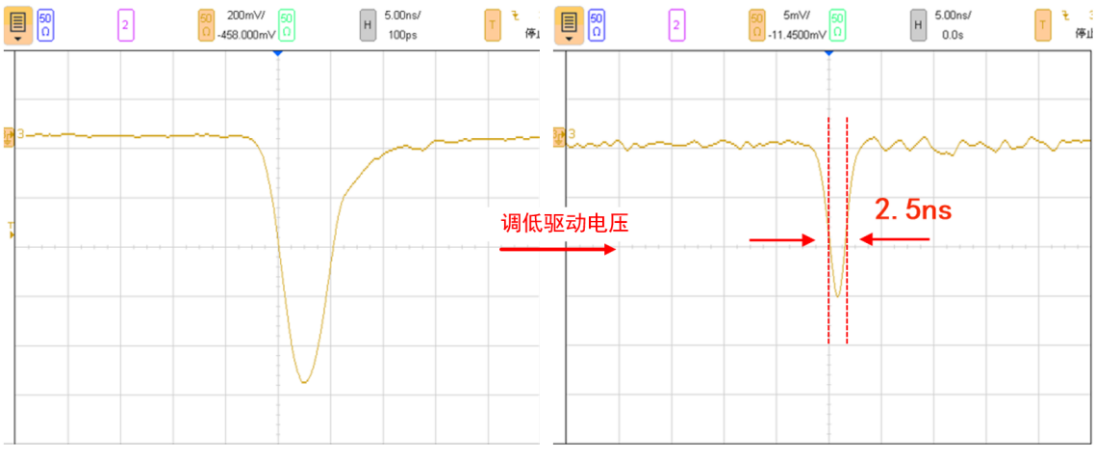


图 3-50 修改 DAC 输出电压以压缩光脉冲宽度：(a) DAC 输出 4.2 V； (b) DAC 输出 2.6V

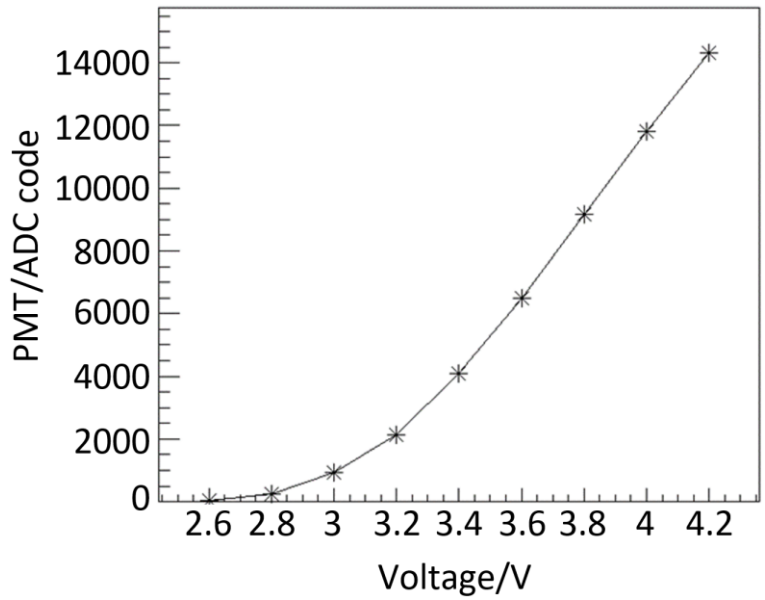


图 3-51 DAC 输出电压与光脉冲信号峰值关系

结合模拟和验证结果可以说明基于双 NMOS 的蓝光 LED 光脉冲生成电路是可以产生合适的光脉冲作为 SiPM 的输入信号的，并且该电路还用于确定 SiPM 和电子学通道的饱和位置。该技术方案克服了 CALICE AHCAL 样机光脉冲生成电路对 LED 电容敏感的问题，更适合应用于 CEPC AHCAL 样机中。

（d）　基于蓝光 LED 的 SiPM 刻度方法研究

前一部分内容提出了使用蓝光 LED 产生极窄光脉冲信号的技术方案，解决了 SiPM 刻度的难点问题，可以基于此展开进一步的 SiPM 刻度技术研究。

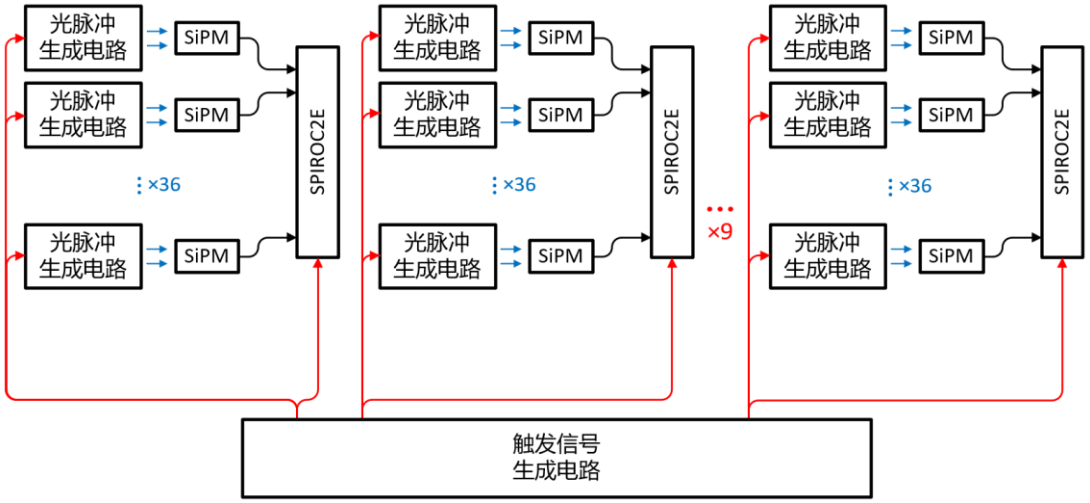


图 3-52 CEPC AHCAL 样机 SiPM 刻度电路基本结构图

CEPC AHCAL 样机前端板上 SiPM 增益刻度电路的基本结构如图 3-52 所示。该刻度电路由光脉冲生成电路、触发信号生成电路以及基于 SPIROC2E 的 SiPM 信号读出电路共同组成。由于 SiPM 的暗计数较多，我们选择引入单独的触发信号生成电路，主动控制光脉冲生成电路发光和 SPIROC2E 的采数，以降低采集到 SiPM 暗计数的概率。

我们首先基于单片 SPIROC2E 设计并实现了 SiPM 刻度电路，以验证光脉冲生成电路是否能获取 SiPM 单光电子峰谱。具体的 SiPM 刻度测试方案为使用 FPGA 提供触发信号，主动控制 LED 发光以及 SPIROC2E 采数。SiPM 工作电压为其击穿电压 V_{br}+0.5 V。LED 的正向导通电压存在±0.1 V 的不一致性，偏置电压过高或过低都无法获取准确的单光电子峰谱，因此需要对 LED 的偏置电压进行扫描，找到最合适的值。向 LED 提供偏置电压的 DAC 从 1900 道开始扫描到 2200 道，步长为 50。SPIROC2E 工作慢时钟为 250 kHz，每 100 个慢时钟周期 FPGA 输出一次触发信号。每个扫描点连续采集 5 s 数据，每次调整 DAC 数据值主动等待 1 s，以保证所有 LED 的偏置电压稳定。图 3-53 是单通道单光电子峰谱的拟合结果，单光子电子峰间距可以定量描述当前 SiPM 的增益，图中 SiPM 的增益约为 25 ADC code/p.e.*。完成基于单片 SPIROC2E 的 SiPM 刻度功能验证

* ADC code/p.e.表示每输入一个光子，SPIROC2E 输出的 ADC 道值

后，可以进一步展开前端板的 SiPM 刻度电路研究工作。

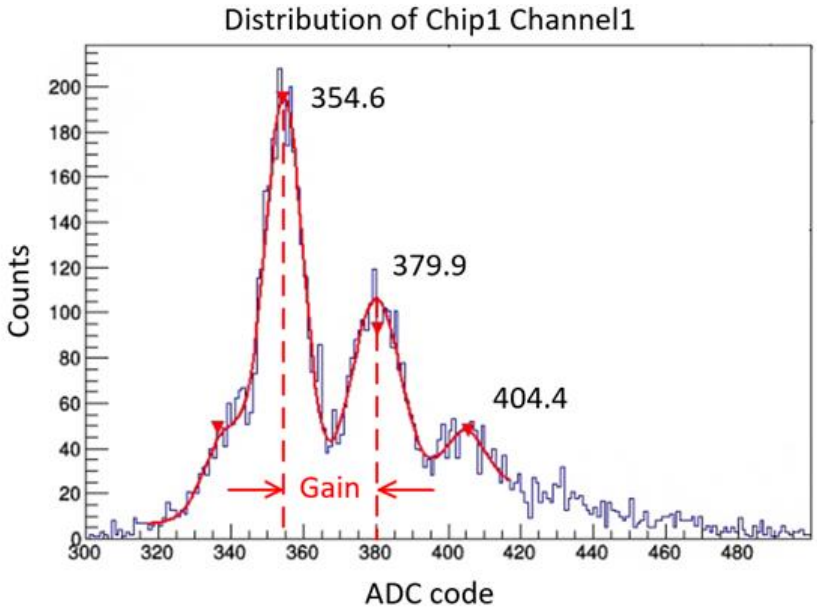


图 3-53 单通道单光电子峰谱测试结果

塑料闪烁体块的加工工艺复杂、加工周期长且需定制专用设备，为了减少闪烁体的挖孔数量，简化闪烁体块加工流程，工作组选择将 LED 放置在 SiPM 附近（如图 3-54 所示），和 SiPM 共用一个挖孔。

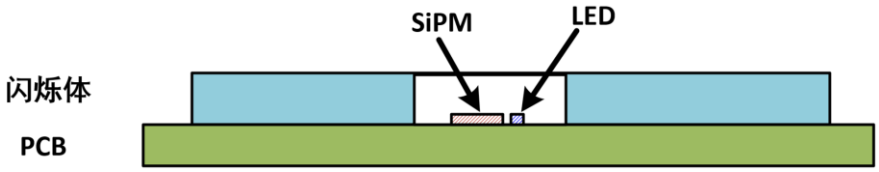


图 3-54 SiPM,LED 及塑闪块的相对位置关系

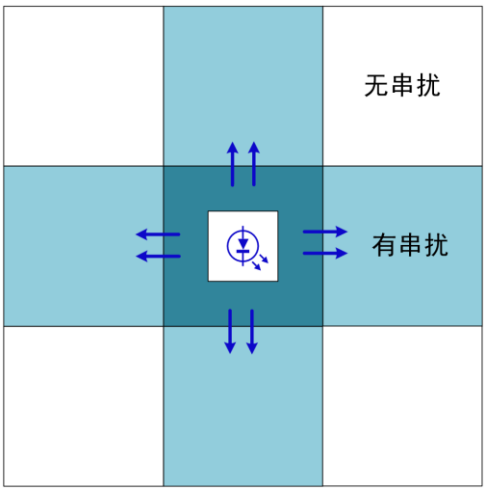
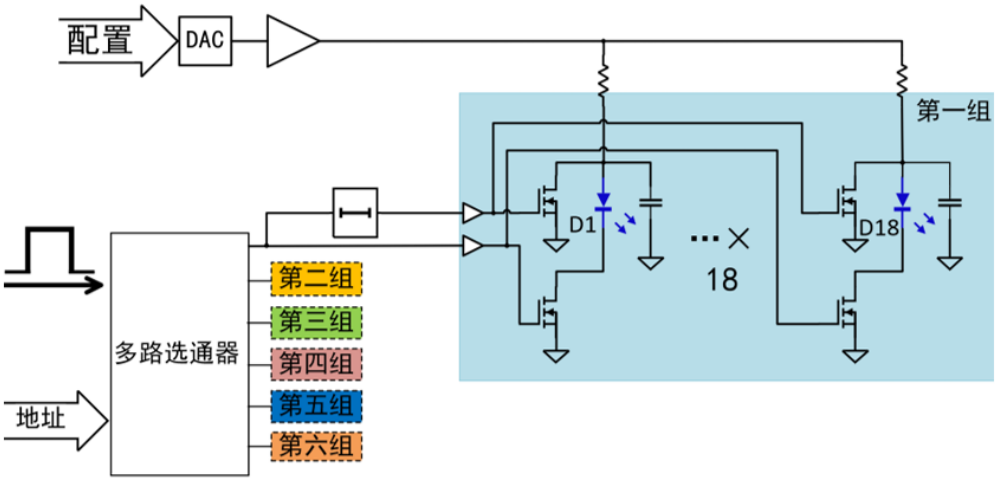


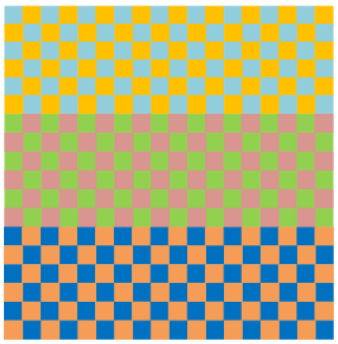
图 3-55 LED 光串扰示意图

塑料闪烁体上覆盖的反射膜折角处会存在缝隙，LED 发出的光脉冲可以透过缝隙传播到其他通道。如图 3-55 所示，被点亮 LED 的光信号会串扰到相邻通道，但是对角通道由于与点亮通道的接触面积几乎为零，不会被串扰。如果同时点亮所有的 LED，那么 LED 输出的光信号会照射到相邻通道的 SiPM 表面，导致 SiPM 刻度结果出现多峰的情况，不利于 SiPM 增益分析。

基于上述讨论，324 通道的蓝光 LED 被分为 6 组，每一组共计包含 18 个蓝光 LED。图 3-56（a）给出了其中一组光脉冲生成电路的具体设计方案，LED 的偏置电压由 DAC 提供，当需要刻度 SiPM 时，正脉冲信号将输入到多路选通器的输入端 A1，多路复用器会根据 FPGA 输出的地址信号将输入信号选通到正确的输出通道，从而驱动同一组别的 18 只蓝光 LED 同时发出光脉冲信号。不同组别的 LED 在 HBU 上的位置分布如图 3-56（b）所示，其中不同组别的 LED 在图中以不同颜色标注。相同组别的 LED 彼此之间不相邻，这样可以最大程度避免同时点亮 LED 伴随的光串扰问题。



(a)



(b)

图 3-56 分组刻度 SiPM：(a) SiPM 刻度电路原理图；(b) LED 分组办法



图 3-57 LED 及 SiPM 实物图

LED 与 SiPM 的实物图如图 3-57 所示，LED 摆放在 SiPM 附近便于集成在同一个闪烁体挖槽内，从而大幅度降低闪烁体的加工难度。从图中可以看到部分 LED 发出蓝光，并且发光 LED 彼此不相邻，符合分组设计预期。

基于上述设计，我们完成了 SiPM 刻度电路的实现与测试。SiPM 刻度的基本流程如下：当上位机发起开始电刻度的命令，FPGA 会配置 SPIROC2E 的触发阈值到最大，触发模式为外触发，触发延时为 110 ns 左右。完成 SPIROC2E 的配置后，FPGA 会配置 SiPM 的高压芯片到合适的高压。在高压稳定后 FPGA 会配置 DAC 到需要的输出值，向 LED 提供工作电压。LED 工作电压稳定后，FPGA 向 SPIROC2E 下发采数命令，开始采数。由于每次采数只能获取一个 SiPM 输出信号峰值，而单光电子峰谱得获取需要积累一定量的数据，因此 FPGA 会在 LED 偏置电压再次稳定后继续控制前端板采数，重复这个小循环直到数据量足够大。在上位机端可以通过控制这个小循环的次数来实现对数据量的控制。当循环次数达到设定值后，FPGA 会对 DAC 当前值进行判断，如果没有达到设定的 DAC 最大值则重新配置 DAC 再次进行数据采集。在 DAC 刻度完成后，FPGA 会主动配置 DAC 输出为 0，并为 SiPM 降高压，最终退出 SiPM 刻度循环。

单层 HBU 板上 324 通道 SiPM 增益分布如图 3-58 所示，图中的矩形小单元与 SiPM 一一对应，单元的横纵坐标为该 SiPM 在 HBU 板上经过归一化后的相对位置坐标，单元颜色则表征该 SiPM 的单光电子峰谱的峰间距，单位为 ADC 码值（ADC code）。

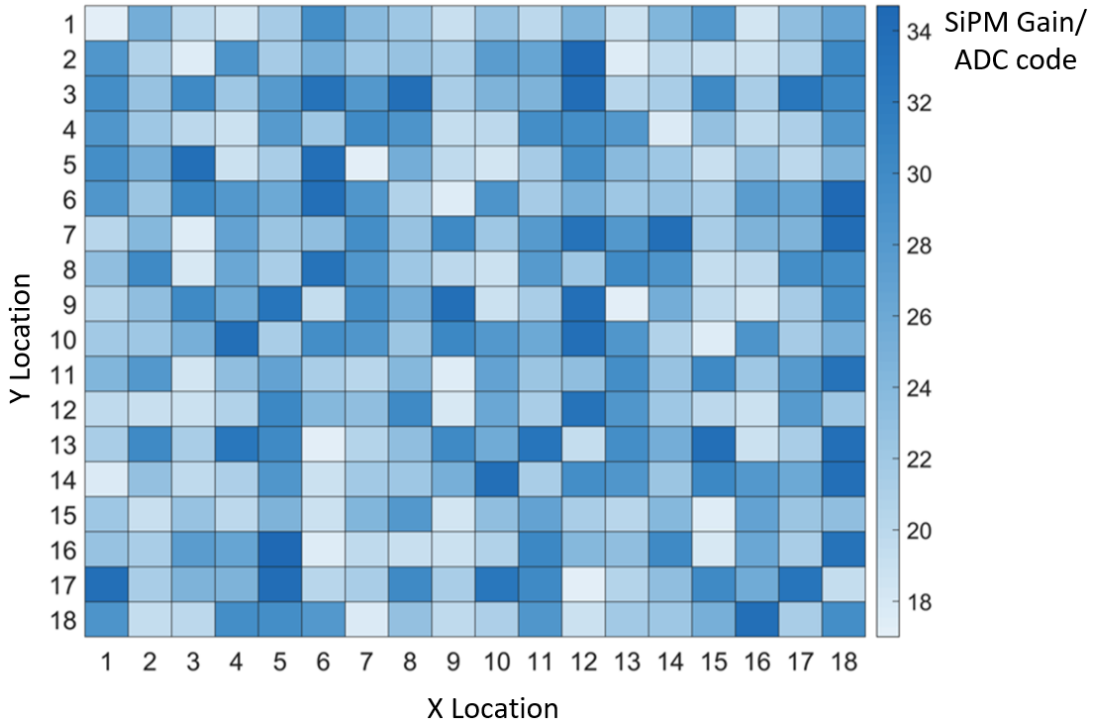


图 3-58 SiPM 增益分布图

SiPM 的增益统计分布图如图 3-59 所示，图中横坐标表示测量得到的 SiPM 单光电子峰谱的峰间距，纵坐标为统计量。SiPM 增益分布在 25 ADC code/p.e. 附近，SiPM 之间增益的不一致性主要是由其击穿电压差异性所导致的，这一差异性对能量重建的影响可以通过逐通道 MIP 能谱刻度消除。

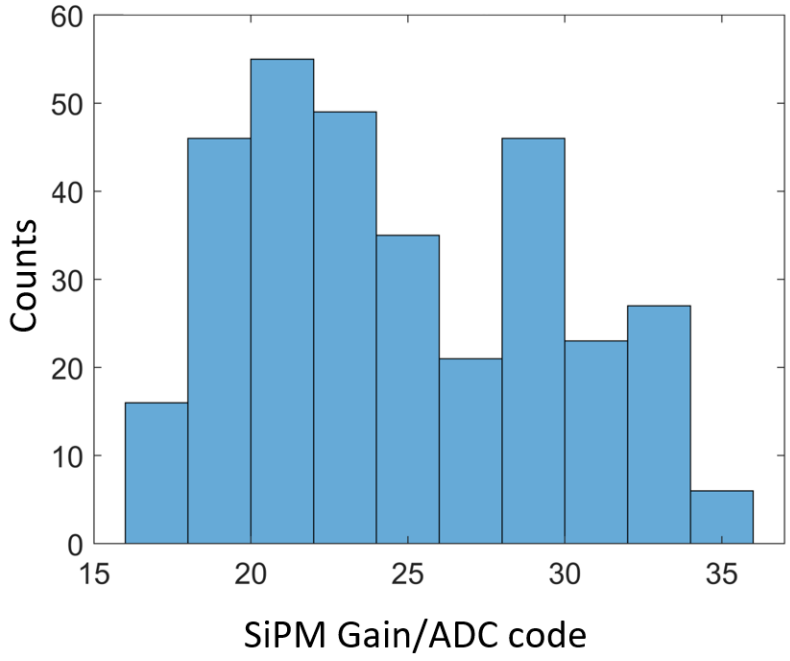


图 3-59 单层 SiPM 增益统计图

基于温度监测的 SiPM 刻度技术与基于单光电子峰谱的 SiPM 增益刻度技术两者的优势互补，前者不会引入死时间，后者刻度结果更为精准。在实际的束流测试中会同时使用这两种技术，彼此的刻度结果可以相互参考，为离线数据分析提供更充分的参考信息。

3.3 本章小结

面向前文提出的电子学需求，本章结合电子学噪声和动态范围需求对单通道 SiPM 信号读出方法进行了讨论研究。在此基础上，针对通道集成度和一致性需求对全通道 SiPM 信号读出方法开展了研究工作，提出了完整的 CEPC AHCAL 样机前端读出电子学方法。

在单通道 SiPM 信号读出方法部分，本章首先对 SiPM 输出信号的处理方法进行了研究，确定了高低增益的双通道电压放大器作为前置放大器，CR-RC^2 作为成形电路的电路结构。结合电子学噪声、动态范围需求，计算出电压放大器的高低增益比为 30，输入电阻大小为 3000 Ω以及 CR-RC^2 电路的成形时间的取值范围在：1 ns < τ < 10 μs。根据上述研究工作，本章通过调研确定了使用 SPIROC2E 作为 SiPM 信号读出芯片。随后，设计并实现了单芯片验证，基于电子学测试结果，SPIROC2E 测试通道的电子学噪声小于 20 fC，动态范围为在 60 fC ~ 260 pC。

在全通道 SiPM 读出方法研究部分，本章设计并实现了多芯片验证板。通过电子学测试，该验证板可以实现对 324 通道 SiPM 的信号读出，集成度在 4.8 cm^3/通道，电子学噪声小于 25 fC，动态范围在 75 fC ~ 240 pC，能够适应 CEPC AHCAL 样机的电子学需求。由于 CEPC AHCAL 样机具备通道数多、颗粒度细的特征，本章针对 SiPM 读出方法的研究内容可以凝练为大规模、高密度 SiPM 读出技术。

在通道一致性部分，本文对 SiPM 刻度技术展开了研究。本章首先对基于温度监测的增益刻度技术进行了研究，并提出了基于有限元方法的温度场监测方法。使用该方法对 SiPM 作增益修正，可以将样机能量分辨率的模拟结果减小 $2.4\%/\sqrt{E_h}$。作为温度监测 SiPM 增益刻度技术的补充，本章对基于单光电子峰谱的增益刻度技术也开展了具体的研究工作，提出了双 NMOS 光脉冲生成电路，克服了现有技术对 LED 电阻敏感的问题。基于此电路提出的 SiPM 分组刻度技术可以获取 HBU 板上 324 通道 SiPM 的单光电子峰谱，进而得到 SiPM 平均增益为 25 ADC code/p.e.。

第4章 CEPC AHCAL 样机数据获取电子学方法研究

前端读出电子学的工作内容从最基本取样单元的读出方法出发，讨论了前置放大电路、成形放大电路以及数字化方法，确定了关键 ASIC 的选择，并将其推广到单层前端板的所有通道。前端板上所有 SiPM 的输出信号在完成读出后会暂存在 SPIROC2E 芯片中，进一步的读出和汇总工作则由数据获取电子学部分实现。

由于 CEPC AHCAL 样机的体积较大，数据获取电子学分为两级，由 40 块数据接口板（DIF 板）和一块数据汇总板（DAQ 板）组成，图 4-1 为 CEPC AHCAL 样机读出电子学系统透视图。

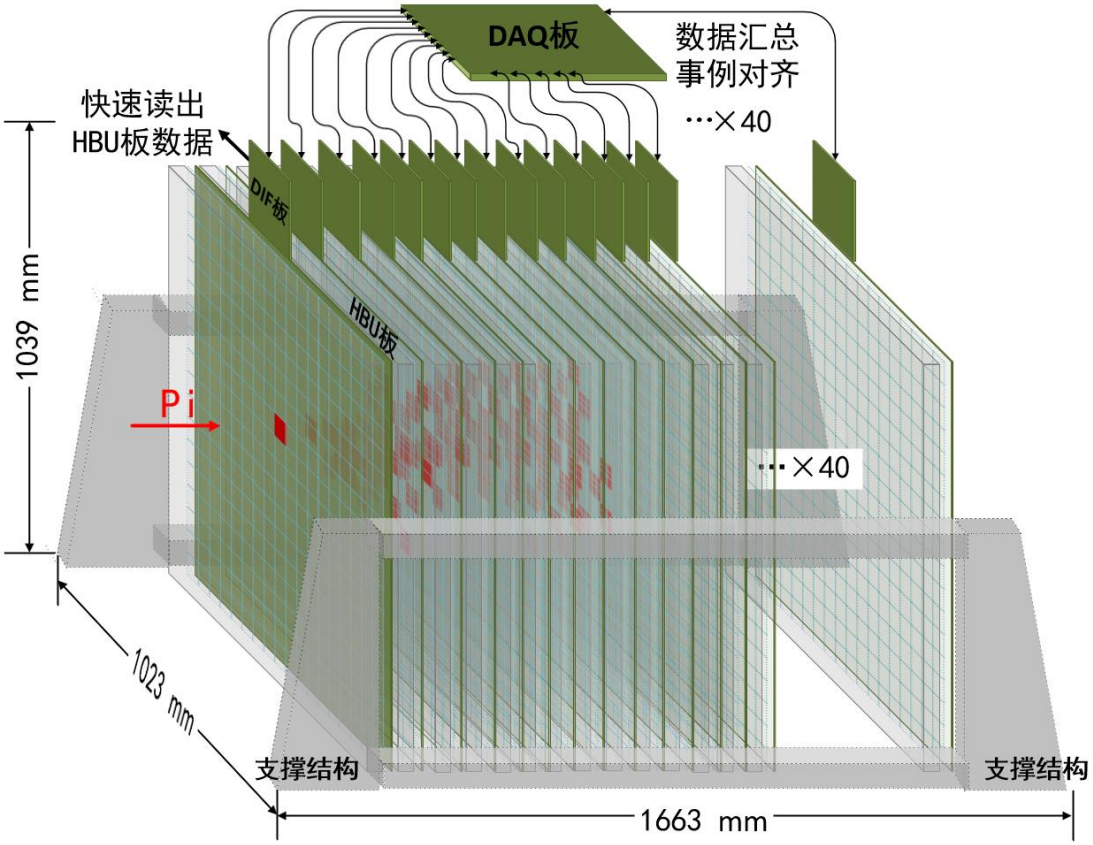


图 4-1 CEPC AHCAL 样机读出电子学系统透视图

成像型强子量能器通道数庞大，会在短时间内产生大量的数据，现有成像型量能器样机所使用的数据读出技术所能达到的最大事例率仅为 100 Hz 左右，远低于 CEPC 的需求。为了提前解决 CEPC 探测器系统的技术难点，本章需要提出低死时间前端板数据读出方法。

PFA 探测器系统的关键在于联合不同探测器获取粒子径迹信息，CEPC

AHCAL 样机数据获取系统需要在剔除 SiPM 暗计数，完成 40 层 HBU 板事例对齐的前提下，具备与其他量能器系统联合测试的能力。

本章将从 SPIROC2E 的读出方法出发，依次对单层前端板的数据读出方法和多层前端板的数据汇总方法展开研究讨论，并在研究过程中解决上述问题。

4.1 低死时间数据读出方法研究

前文中的工作内容将样机的读出电子学系统研究推进到借助 SPIROC2E 将 SiPM 信号转换为数字信号，本节首先讨论 SPIROC2E 内存储的数字信号的读出方法。

由于成像型量能器起步时间较晚，相同技术路线仅有 CALICE AHCAL 样机已完成数据获取电子学部分的实现及束流测试。图 4-2 给出了 CALICE AHCAL 样机束流测试过程中每秒被记录的有效触发次数，图中的蓝色标记为被 CALICE AHCAL 样机记录下的 Pion 事例的触发率分布。CALICE AHCAL 样机的死时间较长，且极大地受到强子簇射展宽的影响，对于处在特定能区的 Pion 粒子，CALICE AHCAL 样机所能达到的事例率低于 100 Hz。

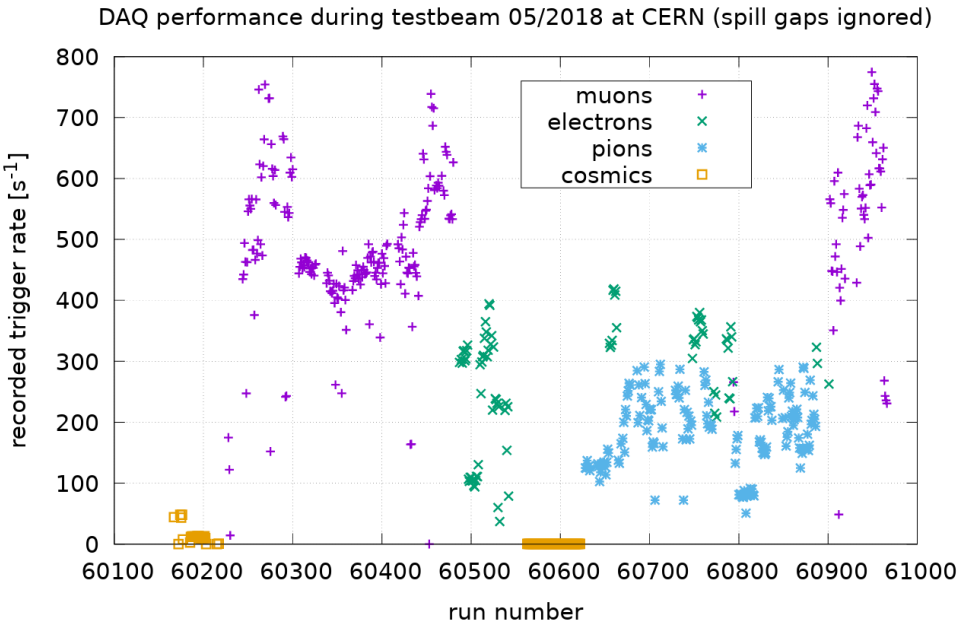


图 4-2 CALICE AHCAL 束流测试记录触发率[87]

CEPC 工作在希格斯模式下的亮度为 $3\times10^{34}\ \mathrm{cm^{-2}s^{-1}}$，当质心能量在 240 GeV 附近时，正负电子对撞产生希格斯玻色子的总反应截面在 10^5 fb 附近。联立亮度与反应截面可以得到在不考虑本底的情况下 CEPC 的事例率为 3 kHz 左右，远超现有技术的事例率上限。因此，作为 CEPC 探测器系统中首台成像型强子量

能器样机，CEPC AHCAL 样机需要对前端板数据读出方法展开研究，提出能够适应 CEPC 的低死时间数据读出技术。

CEPC AHCAL 样机所能达到的最大事例率由其死时间决定，下图给出了样机的死时间构成。单层 HBU 板的工作状态可以分为模拟采样、模数转换以及数据读出三个部分，由于成像型量能器每一次入射粒子的能量探测器都需要 40 层 HBU 板共同参与，当有任意一层 HBU 板处在非模拟采样状态，样机都不能采数，这段时间即为样机的死时间。模数转换和数据读出的时间越短，样机的死时间就越短，其最大事例率就越高，而模数转换的时间通常难以压缩，因此本小节主要对数据读出技术展开研究。

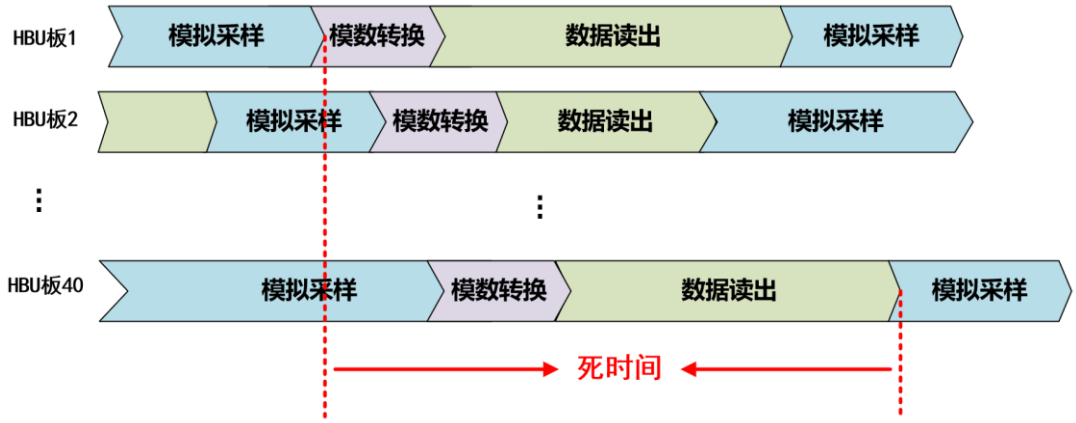


图 4-3 CEPC AHCAL 样机死时间构成

国际上的成像型量能器样机的最大事例率不到 100 Hz，CEPC 要求成像型量能器样机的最大事例率至少高于 3 kHz，远超现有技术方案所能达到的事例率水平。造成现有成像型量能器样机事例率较低的原因主要包括以下两方面：

1. 量能器取样面积大，前端板读出芯片数据传输负载较重，现有的 SPIROC2E 端接结构所需的最小翻转时间较长；

2. 量能器颗粒度极细，粒子入射击中通道多，前端板产生的数据量大，数据读出时间长。

本小节将就上述两个问题提出具体的解决方案。

4.1.1 SPIROC2E 电路结构的优化

SPIROC2E 的信号输出端是基于漏极开路（Open Drain, OD）门而设计的，OD 门的特征是可以将多个输出门电路并联使用，将多个 N 型场效应管（N-channel Complementary Metal–Oxide–Semiconductor, NMOS）的漏极相连并通过一个上拉电阻连接到正电源平面，在逻辑上实现“线与”。此外，由于 OD 门利

用了外部电源驱动输出信号的翻转，芯片的负载能力较强[88]。

图 4-4 给出了现有样机使用的 SPIROC2E 端接方式，所有芯片的 OD 门漏极共同连接到同一根数据总线，通过上拉电阻 R_p 连接到电源平面。该种连接办法利用了 OD 门的线与特性，可以实现单根数据线传输所有芯片的输出数据。该连接方式虽然可以减少数据线的使用量，但是会极大地增大 SPIROC2E 的翻转时间。

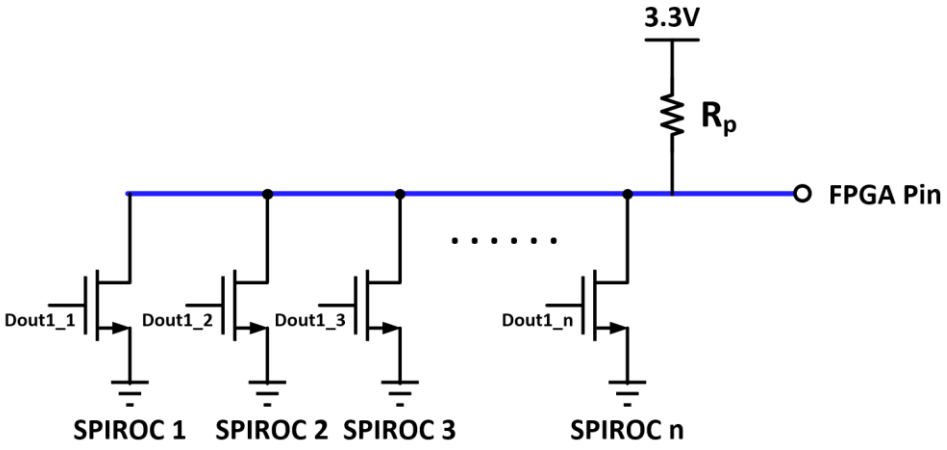


图 4-4 OD 门结构

图 4-5 给出了 OD 门输出信号翻转时的充放电模型，其中图 4-5（a）为放电过程，图 4-5（b）为充电过程。图中 NMOS 管导通和截止时的源漏电阻分别为 R_{Non} 和 R_{Noff}，负载电容为 C_L。

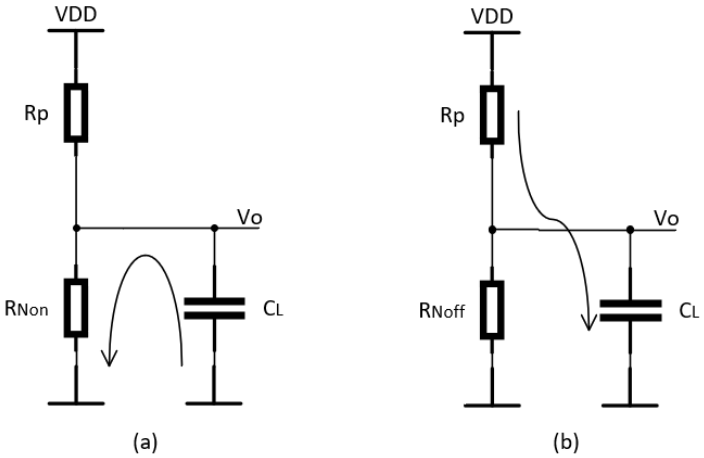


图 4-5 OD 导通截止充放电模型：(a) 充电；(b) 放电

对于 C_L 处充放电时的电压变化可以分别使用下列两式进行计算。

$$\begin{cases} \tau_f = R_{Non}C_L \\ U = V_{DD}(1 - e^{-\frac{t}{\tau_f}}) \end{cases} \tag{4.1}$$

$$\begin{cases} \tau_r = R_p C_L \\ U = V_{DD} e^{-\frac{t}{\tau_r}} \end{cases} \tag{4.2}$$

SPIROC2E 使用的是 LVCMOS 电平标准，其中 V_{DD}=3.3V，输出低电平最大值 V_{OLmax}=0.1V，输出高电平最小值 V_{OHmin}=3.2V[89]。代入式 4.1 和式 4.2，计算得到电容 C_L 上电压达到输出电平标准所需的电压值所需的充放电时间分别为：

$$t_r = \tau_r \ln\left(\frac{V_{DD}}{V_{DD} - V_{OHmin}}\right) \approx 3.5 R_p C_L \tag{4.3}$$

$$t_f = \tau_f \ln\left(\frac{V_{DD}}{V_{OLmax}}\right) \approx 3.5 R_{Non} C_L \tag{4.4}$$

NMOS 导通时的源漏电阻 R_{Non} 很小，一般只有毫欧量级，远小于上拉电阻 R_p，因此 OD 门输出端从 0 跳变到 1 的上升时间要大大长于从 1 跳变到 0 的下降时间。如果对 SPIROC2E 的信号读出速度过快，电路就没有足够的时间对 C_L 充电，从而导致接收端接收到的信号不满足电平标准，出现误码。下面将对 C_L 和 R_p 的大小进行分析。

C_L 的来源主要是输出端 NMOS 的结电容、走线的寄生电容以及负载门的输入电容。其中 NMOS 的结电容和负载门的输入电容可以认为是固定的，走线的寄生电容取决于走线的长度和截面积，可以使用下式[90]进行计算。其中ε_0为介电常数，w 为走线宽度，L 为走线长度，d 为走线到临近铜皮的距离。

$$C_{wire} = \frac{\varepsilon_0 w L}{d} \tag{4.5}$$

ASIC 的信号需要使用现场可编程逻辑器件（Field Programmable Gate Arrays，FPGA）读出，FPGA 到最远端芯片的走线长度至少为 1500 mm。此外，至少需要保证 4 mil（0.1 mm）线宽才能保证阻抗的连续性，FR4 材料介电常数为 4.7 pF/cm，介质厚度取 2 oz（0.07 mm）。将上述参数代入式 3.40 计算得到：C_{wire} = 1 nF。

走线的直流电阻计算公式如下式[90]所示。其中 t 为 PCB 走线厚度。当 w 减小，走线的直流电阻也会相应变大，这会导致远端芯片的电压信号被导线分压。

$$R_{wire} = \frac{\rho L}{wt} \tag{4.6}$$

铜厚取 1 oz 时可以得到总线直流电阻为 10 Ω。为保证经过直流电阻分压后

FPGA 接收端的电压水平符合电平标准，需要有 $R_p > 37\,\Omega$，进而有最大数据率小于 1 Mbps。

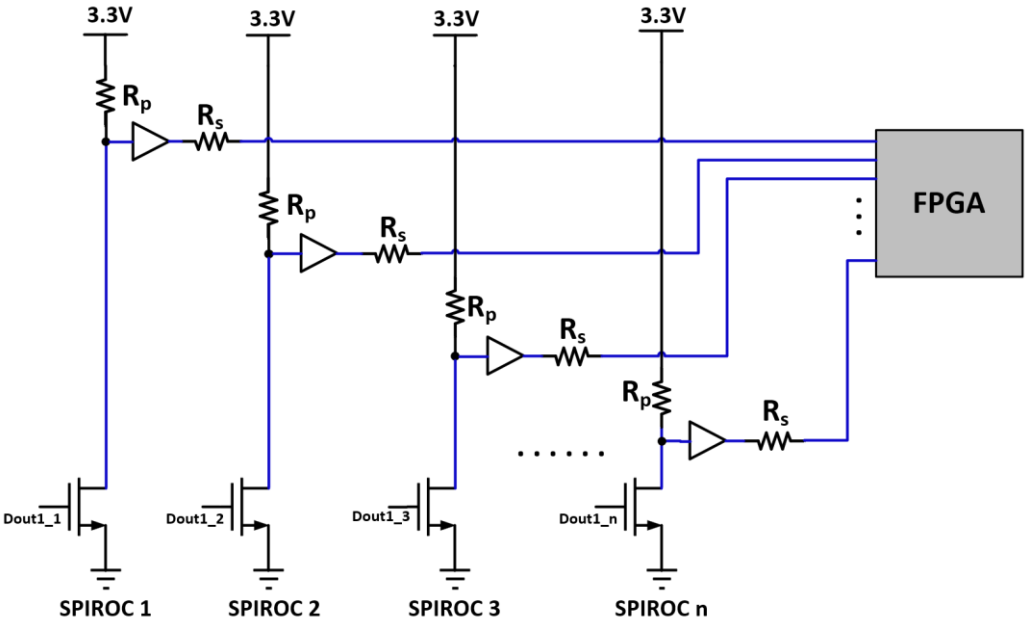


图 4-6 SPIROC2E 并行连接方法

为了解决长距离走线的寄生电容限制 OD 门翻转速度的问题，考虑使用如图 4-6 所示的端接方法。在每片 SPIROC2E 的附近使用摆放上拉电阻 R_p，输出信号经过信号缓冲器（buffer）再传回 FPGA 中。Buffer 的输出端串联 50 Ω 的串联匹配电阻 R_S。在这种连接方法下，OD 门充电时走线的寄生电容可以忽略不记，可以大大缩短其翻转时间。

上述方案在提高 OD 门翻转速度的同时，可能会对电子学系统带来更大的功耗负担，因此还需要结合芯片的最大读出数据率对电路的设计参数做出优化。该电路方案增加的功耗来源主要是用于隔离的缓冲器芯片和 9 个 OD 同门的静态功耗。

基于互补金属氧化物半导体（Complementary Metal Oxide Semiconductor，CMOS）实现的缓冲器芯片的功耗可以控制μW量级。如果 9 块隔离芯片均选择使用该类型的芯片，则其功耗可以忽略不计。

SPIROC2E 推荐的最大读出数据率为 5 Mbps，以此为设计目标可以确定出上拉电阻 R_p 的阻值上限。R_p 可以放置在距离 SPIROC2E 管脚 1 cm 以内的位置，此时 $C_{wire} < 5$ pF，隔离 buffer 的输入电容值通过选型可以控制在 10 pF 以内。在此条件下当 $R_p < 3$ kΩ 时，OD 门的充电时间就可以小于 200 ns。

OD 门的功耗可以用下式表示：

$$P_{static} = 9 \times \frac{V_{DD}^2}{R_P} \tag{4.7}$$

为了保留一定的调试空间，上拉电阻取值为 1kΩ，在此条件下经过优化的读出电路的功耗仅为优化前的 1/2。

综上所述，该种端接方案可以削弱长距离信号传输对 OD 门翻转速度限制，将 SPIROC2E 最小翻转时间从 1 μs降低到 200 ns，并且不会提高读出电路的总功耗。

4.1.2 SPIROC2E 并行读出技术

上述电路方案解决了翻转速度较低的问题，进一步提高数据读出死时间还需要对 9 片 SPIROC2E 读出技术展开研究。现有同类型样机中使用的均为 SPIROC2E 串行读出技术，该技术仅使用一根数据总线，同一时间只能读回一片 SPIROC2E 的数据。串行读出技术的具体连接办法如图 4-7 所示，其中 DOUT 信号线为芯片的数据输出总线，CHIPSAT 和 TRANSMITON 信号分别表示芯片是否进入 AD 转换状态以及是否处于数据传输状态。STARTRD 信号由 FPGA 输出，芯片收到该信号即开始向 FPGA 传输数据，当芯片数据传输完成后会通过 ENDRD 端口向下一块芯片发送 STARTRD 信号。

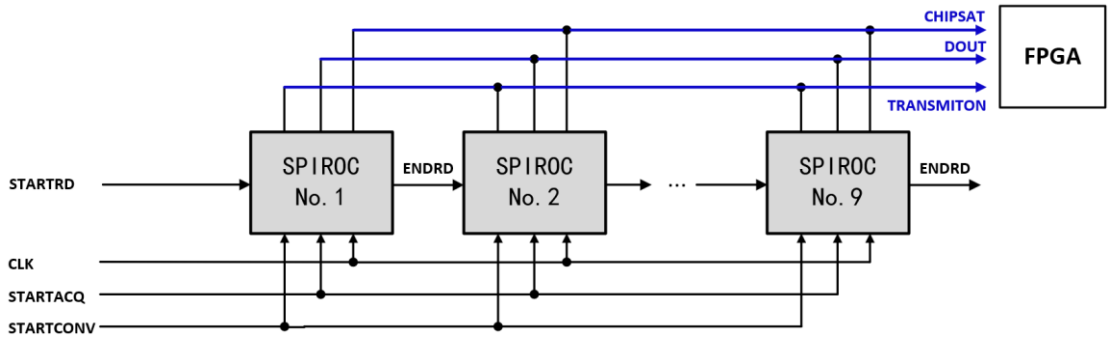


图 4-7 SPIROC2E 串行读出连接办法

SPIROC2E 串行读出技术的 FPGA 状态机如图 4-8 所示，包含 IDLE、ACQ、ACQ_STOP、ADC_CONV 以及 Readout_SPIROC2E 五个状态。当电子学板上电后，电源控制模块会主动向 FPGA 发出复位 Reset 命令，串行读出状态机进入 IDLE 状态。上位机主动控制采数标志位 acq flag 为 1 后，FPGA 会进入 ACQ 状态，同时控制 SPIROC2E 会进入数据采集模式。在接收到上位机的停止采数命令或到达设定的采数窗口时间后，FPGA 会进入 ACQ_STOP 状态并向 SPIROC2E 下发停止采数命令使其退出采数状态，此时 SPIROC2E 输出的 CHIPSAT 信号会置零，表示芯片进入模数转换状态，FPGA 也会相应地进入

ADC_CONV 状态等待芯片完成模数转换。当所有芯片均完成模数转换后，CHIPSAT 信号会被拉高，FPGA 在收到该高电平信号后会进入 Readout_SPIROC2E 状态，开始读出 SPIROC2E 存储的数字信号。由于所有 SPIROC2E 共用一根数据线，该状态由 9 个小状态组成，依次读出 9 块 SPIROC2E，在完成 9 块 SPIROC2E 的数据读出后，FPGA 会重新回到 IDLE 状态。

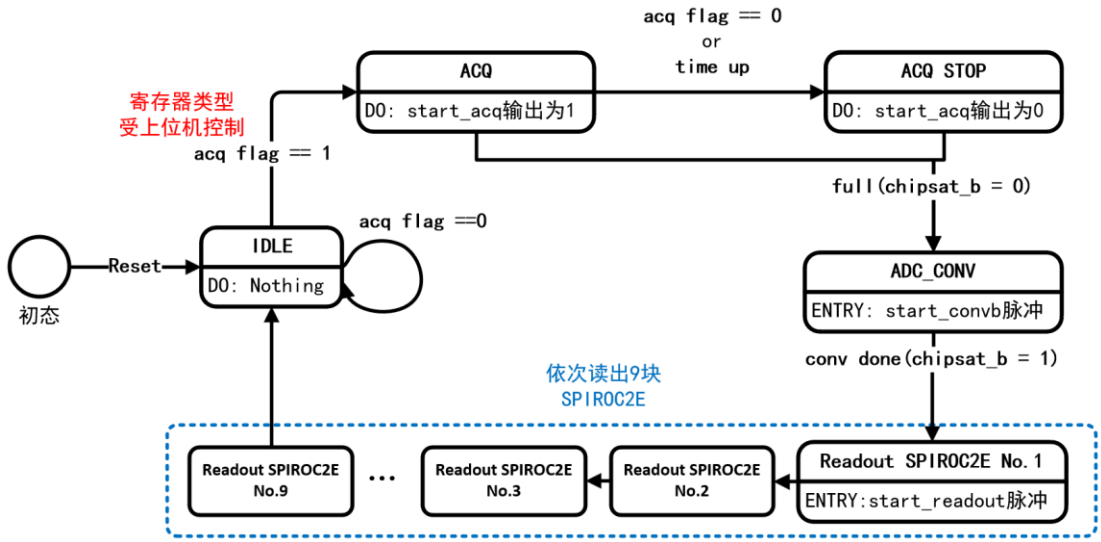


图 4-8 SPIROC2E 串行读出状态机

上述串行读出技术会极大地延长用于数据读出的死时间。对于 CEPC AHCAL 样机，单个芯片需读出 1184 bit 的数字信号，按照前文中计算得到的 1 Mbps 数据率可以给出：逐芯片读出共计需要 9×1184×1 us=1 ms，对应的事例率上限不超过 100 Hz，与现有同类型样机的表现相符。

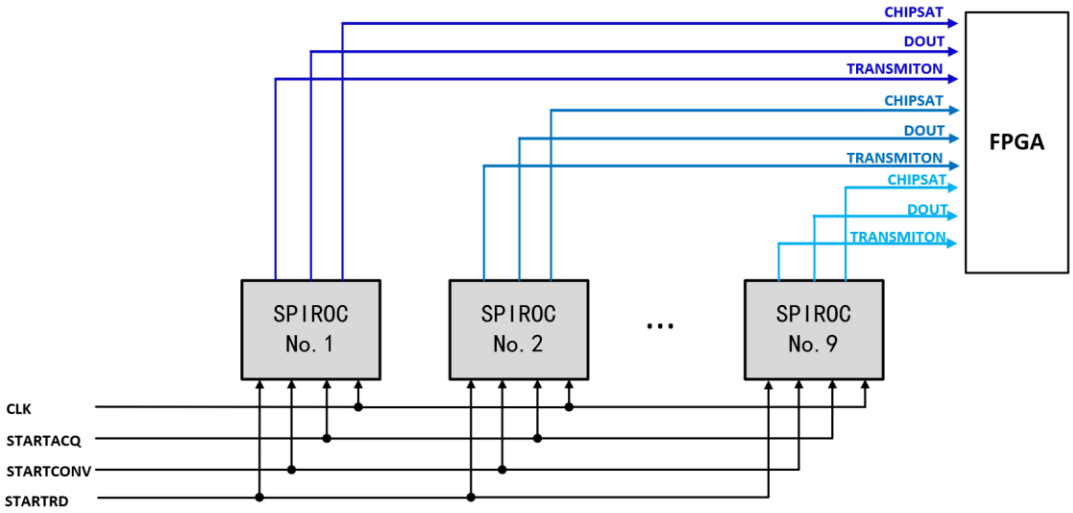


图 4-9 SPIROC2E 并行读出连接办法

为了更有效地利用前文提出的低翻转时间 SPIROC2E 端接办法，可以对 SPIROC2E 串行读出连接办法加以修改，从而得到如图 4-9 所示的 SPIROC2E 并行读出连接办法。如图中所示，每块 SPIROC2E 的 CHIPSAT、DOUT 和 TRANSMITON 信号彼此独立，不再共用同一根信号线。此外，由于 SPIROC2E 之间相互解耦，控制数据读出的 STARTRD 信号直接连接到每一块 SPIROC2E 的接收端，而不是只连接到第一块 SPIROC2E。

这种并行读出电路优化方案地极大压缩了多芯片数据读出的死时间，在此基础上，本文还提出了基于乒乓读出方法的并行读出逻辑。

读出电子学系统的数据读出操作可以细分为两步操作：从 SPIROC2E 读出数据以及将数据上传到数据汇总电子学板。在考虑数据读出方案设计时，可以使用模块化设计思路将这两步操作分开讨论。

首先是从 SPIROC2E 中读取数据，为了降低读出死时间，需要同时读出不同芯片中的数据并存入 FPGA 的先进先出 (First In First Out, FIFO)中。如图 4-10 所示，由于从不同 SPIROC2E 中读出的数据包长度不同，且没有明确的包头包尾，为防止不同芯片的数据发生错位，需要将不同芯片的数据分区保存。

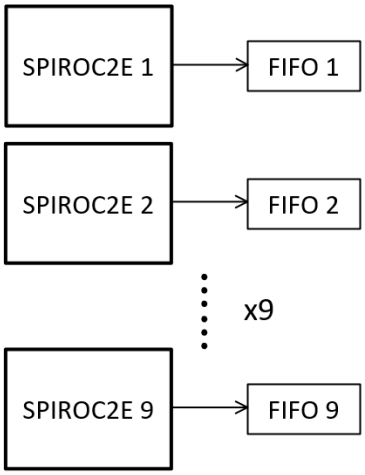


图 4-10 SPIROC2E 数据分区存储

上传数据最简单的做法是直接依次读出不同 FIFO 内存储的数据，但该做法可能会影响到事例对齐。由于单次事例每个芯片存储的数据包长度未知，在上传数据时只能通过读空当前 FIFO 来切换到对下一个 FIFO 数据的读出。以三块 SPIROC2E 的读出为例，设两次事例分别为 A、B，A 事例三个芯片均存储了数据，B 事例 2 号芯片没有存储数据。如图 4-11 所示，正确的数据上传顺序为 A1、A2、A3、B1 及 B2，但是实际上的数据上传顺序为 A1、B1、A2、A3 及 B3，数据顺序混乱，无法使用这样的数据重建入射粒子事例。

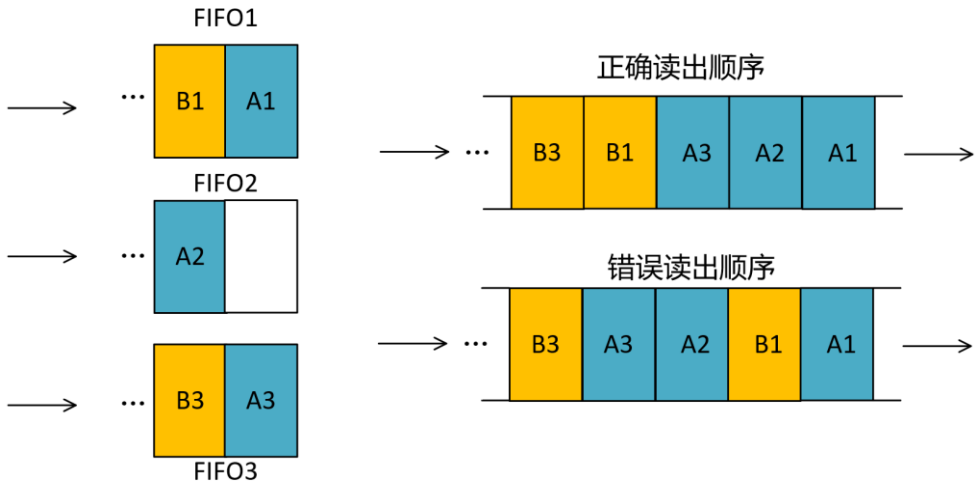


图 4-11 事例错位原理图

为了对齐事例，可以等待数据上传完成后再开始下一次的采数，但该办法会延长数据读出死时间。为了保证数据对齐的同时，规避掉上传数据的死时间，数据读出逻辑考虑借鉴数据读写的乒乓操作，对数据读出方法做出改进。

乒乓操作是一种经常用于数据流控制的处理技术，具有节约缓冲空间、对数据流无缝处理的特点[91]，如图 4-12 所示，其基本原理是将数据存储区域划分为两块分时对其中不同的部分做读或写的操作。在第一个缓冲周期，数据流通过“输入数据流选择单元”将数据写入“数据缓冲模块 1”。写完之后进入第二个缓冲周期，在第二个缓冲周期数据流通过“输入数 据流选择单元”将数据写入到“数据缓冲模块 2”的同时“输出数据流选择单元”将“数据缓冲模块 1”的数据流读出，此时进入第三个缓冲周期。在第三个缓冲周期数据流通过“输入数据流选择单元”将数据写入到“数据缓存模块 1”的同时将“数据缓冲模块 2”的数据读出。如此反复循环地操作，即为乒乓操作。

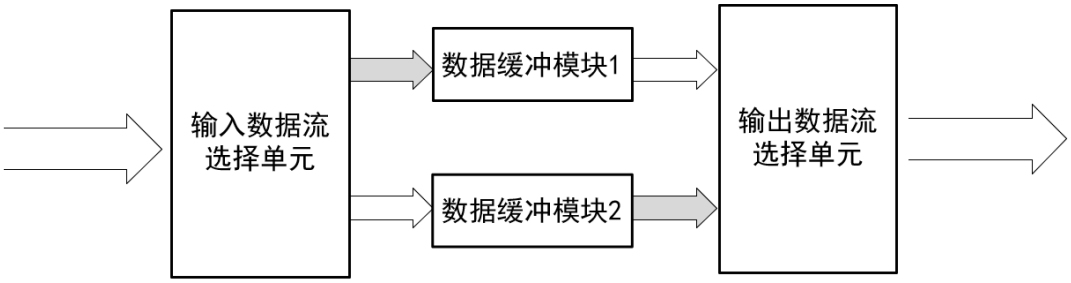


图 4-12 乒乓操作示意图

基于乒乓操作的思路，可以给出如图 4-13 所示的基于乒乓操作的 SPIROC2E 并行读出逻辑结构图。读出逻辑由九个 decode 模块、十八个小 FIFO、一个大的 FIFO 和一个 数据流选择单元组成。decode 模块的作用是将 SPIROC2E 的串行数据转换为 16 位并行数据。依据乒乓操作原理，每个 SPIROC2E 对应 2 个小 FIFO，

按照对应的 SPIROC2E 可以将 18 个小 FIFO 分为 9 组。数据流选择单元会控制 FIFO 指针的指向，FIFO 指针指向的小 FIFO 将写入 decode 模块的数据，未指向的小 FIFO 中的数据将被读入大 FIFO。

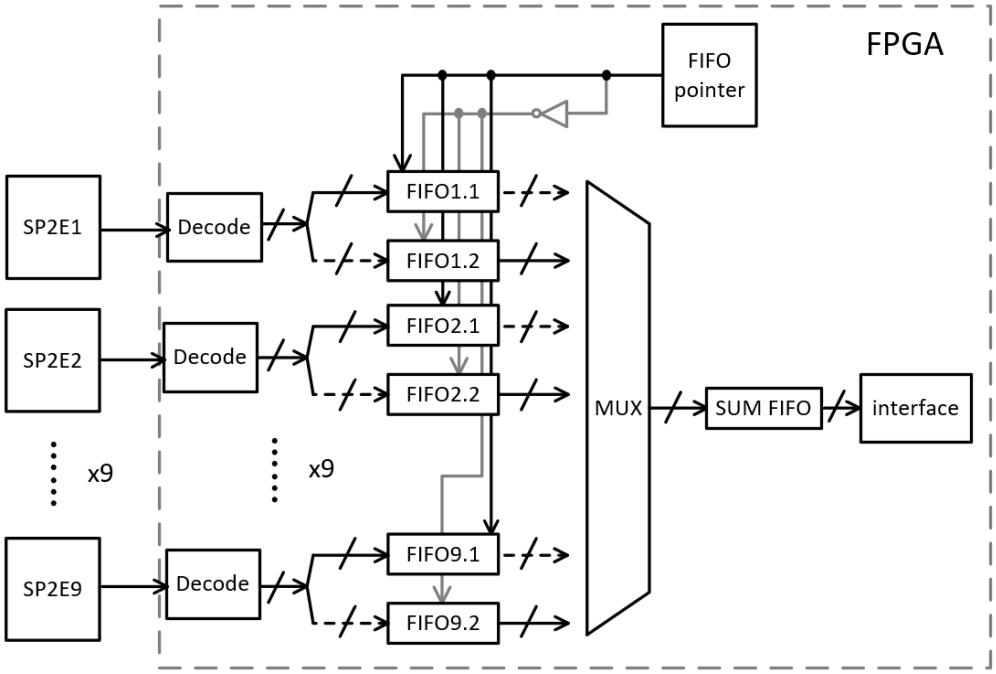


图 4-13 基于乒乓操作的读出逻辑结构图

FPGA 内的逻辑工作流程如下：首先，FIFO 指针将指向每组的第一个 FIFO（标记为 1.1 到 9.1），每个 SPIROC2E 的数据将写入第一个 FIFO。此时会依次读出每组第二个 FIFO（标号为 1.2～9.2）的数据，写入大 FIFO。读取和清空九个小 FIFO 的时间小于 SPIROC2E 进行 AD 转换的时间。当 9 个芯片的数据全部读入每组的第一个 FIFO 时，FIFO 指针会指向组中的第二个 FIFO，这样就可以将第一组 FIFO 中缓存的数据读入大 FIFO。重复该循环，从而实现 SPIROC2E 数据的持续读出和上传。由于划分了两组不同的数据缓冲区，每次事例交替存储在不同的缓冲区中可以保证事例对齐。

基于上述技术，可以给出如图 4-14 所示完整的 SPIROC2E 并行读出的 FPGA 状态机。区别于串行读出技术，在 Read_SPIROC2E 状态时可以完成对 9 块 SPIROC2E 数据的同时读出，将数据读出时间压缩到 1/9。以 5 Mbps 的数据率计算，在 9 块芯片均存储有数据的情况下，也能保证并行读出方案的数据读出死时间不超过 1184×200 ns = 200 μs，仅为 CALICE AHCAL 样机读出死时间的 1/60。

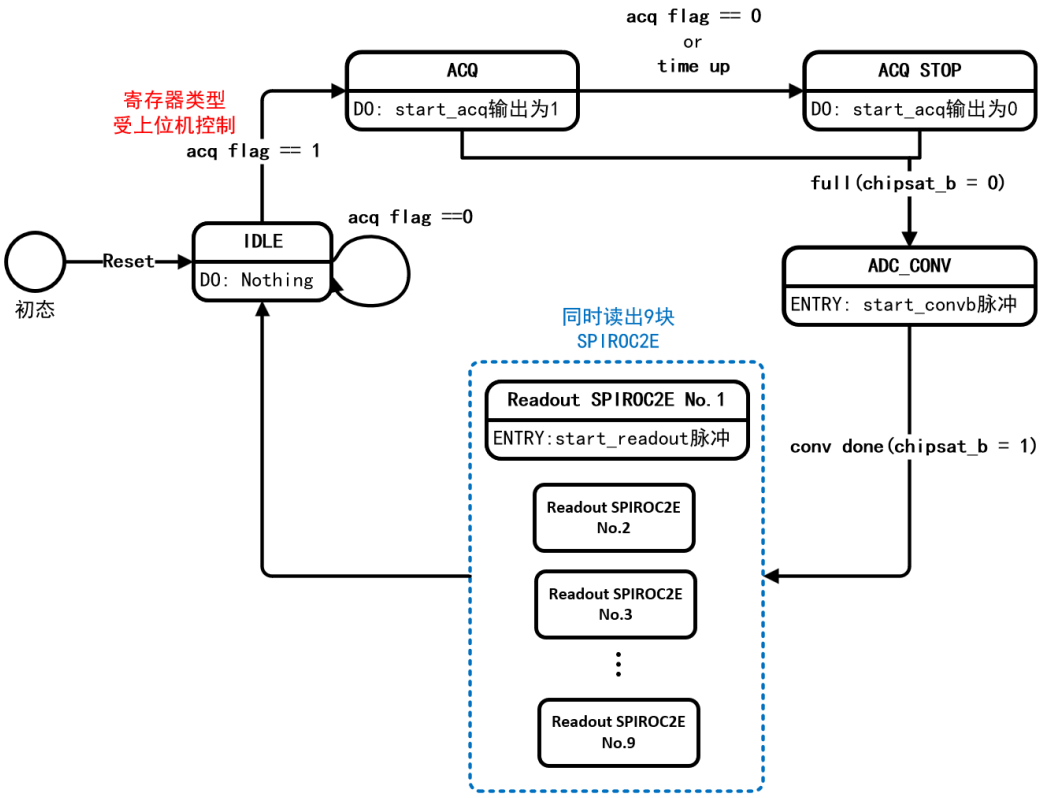


图 4-14 SPIROC2E 并行读出状态机

4.1.3 测试验证

为了验证该方案的实际效果，借助前文中的多芯片验证板，本文设计并实现了如图 4-15 所示的 HBU 板最大事例率测试平台。测试方法为：使用信号源下发远高于 HBU 板设计最大事例率的随机触发信号，控制 9 块 SPIROC2E 同时在 3 s 的窗口期内连续采数。

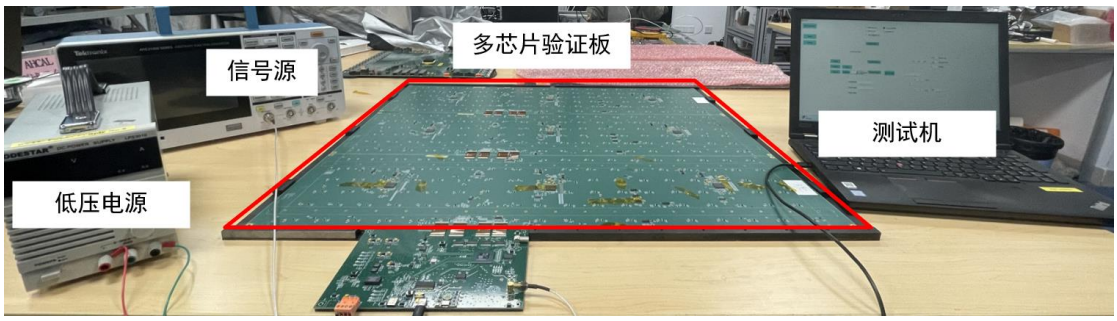


图 4-15 HBU 板最大事例率测试平台

测试结果如图 4-16 所示，在 20 次的最大事例率测试中，测试结果最小值为 3048 Hz，最大值为 3052 Hz，平均值为 3050 Hz。测试结果的出现差异性的原因为：采数时间由上位机控制，而上位机每次执行语句的时间并不完全一致，导

致每次时间窗口期并不是严格的 3 s，可能会存在 1 ~ 2 ms 的差异，从而导致每次采数获得的总事例数会存在约 1 ms / 3 s = 0.3%的相对误差，进而使得事例率测试结果存在约 0.3% / 3 = 0.1%的相对误差。该测试方式仅用于单层 HBU 板的电子学验证性测试，不会对样机功能产生影响。通过测试结果可以确定，HBU 板的最大事例率可以达到 3048 Hz 以上，能够满足样机的设计需求。

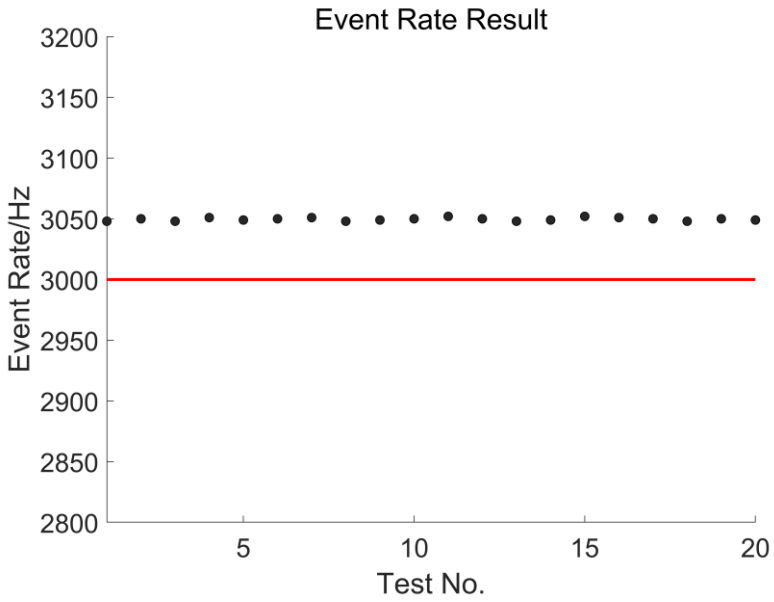


图 4-16 最大事例率测试结果

SPIROC2E 数字信号读出的最大比特率为 5 Mbps，使用现有的 ASIC 读出技术，需要重新设计 ASIC，将其提高 9 倍到 45 Mbps，以满足 CEPC 的需求。受限于 CEPC AHCAL 样机有限的建造成本和紧迫的研制时间，无法展开 ASIC 的重新设计工作，本文选择对现有技术做出改进，通过优化电路结构、重构读出逻辑，将 CEPC 对 ASIC 数据读出的比特率要求降低了 90%。经过电子学测试，CEPC AHCAL 样机的最大事例率达到 3 kHz，为国际上现有同类型样机的 30 倍以上。

前端板上 9 块 SPIROC2E 的数字信号被读出后会暂存在 DIF 板中，入射粒子的事例重建需要将 40 层前端板的数据做汇总，并在汇总过程中完成事例筛选和对齐操作，该部分研究工作内容会在后文中具体介绍。

4.2 数据汇总方法研究

成像型量能器的事例重建，依赖于所有取样层数据的汇总和对齐，基于前文的单层前端板数据读出研究内容，本节将对数据汇总方法展开讨论。

在大型量能器系统中，电子学模块之间的时钟同步是完成事例对齐的重要前提。由于触发信号也具有通用性，电子学系统中一般会设计有独立的时钟模块，向所有系统内的电子学模块提供时钟和触发信号，因此下文将先介绍时钟和触发方法的研究工作。成像型模拟强子量能器体积大、通道数庞大、前端板数量多且信号传输距离长，本章将在确定时钟触发方法的基础上，对 DAQ 板与 DIF 板之间的数据传输的方法展开研究，确定抗噪声数据传输方法。时钟触发和数据传输方法为 40 层前端板采集数据汇总创造了必要的硬件基础，基于 DAQ 板与 DIF 板之间的协同工作，可以完成对事例筛选与对齐方法的研究工作。

4.2.1 时钟触发方法研究

样机实现内外部事例对齐的基础是时钟的同步，因此本小节首先讨论时钟同步部分的研究内容。

大型探测器谱仪的束流测试对于时钟和触发的需求存在共性，通用时钟触发单元的研制一直是核探测领域的重要工作之一。AIDA-2020 触发逻辑单元（Trigger Logic Unit, TLU，以下将 AIDA-2020 TLU 简称为 TLU）是由 AIDA-2020 项目组设计开发的通用时钟触发模块，其素描图如图 4-17[92]所示。TLU 体积小，性能优越，可以满足 1 MHz 以上的事例率需求，并可以不依赖其他设备单独工作，目前已成功地应用在 CERN 和德国同步辐射加速器（Deutsches Elektronen Synchrotron, DESY）的束流测试中[93]。

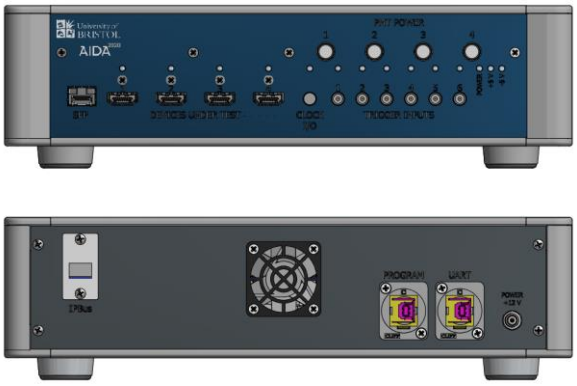


图 4-17 AIDA-2020 TLU 素描图[92]

PFA 要求强子量能器样机可以与其他探测器联合测试，TLU 作为通用时钟触发源，已经在 CALICE 合作组研发的强子量能器样机中得到应用。为了保留

与 CALICE 合作组的样机联合测试的潜力，同时积累通用时钟触发模块在成像型量能器样机中的应用技术，数据汇总系统选择使用 TLU 作为样机的时钟触发源。

前文中介绍过，由于 CEPC AHCAL 样机的体积较大，数据获取系统由一块 DAQ 板和 40 块 DIF 板共同组成。样机与其他探测器联合测试要求 DAQ 板使用 TLU 作为时钟源，样机事例重建要求 40 块 DIF 板之间时钟同步，此外 HBU 板上的 SPIROC2E 之间也需要做时钟同步，本小节将自顶向下地介绍每一部分的时钟同步设计内容。

TLU 可以通过 HDMI 接口输出频率为 40 MHz 的参考时钟，为实现与其他探测器的时钟同步，DAQ 板使用该时钟作为时钟管理模块的输入时钟。为了使得样机在不改动硬件的条件下兼容 ATLAS 升级所使用的 FELIX（FrontEnd LInk eXchange）通用读出系统[94]，DAQ 板下行数据的比特率设定为 128 Mbps。由于 DAQ 板下行到 DIF 板处的控制命令比较复杂，命令宽度至少设定为 8 bit，结合 DAQ 板和 DIF 板通信的比特率，下行命令的驱动时钟频率为 16 MHz。为了保证 DAQ 板下发的命令同时到达所有 DIF 板，由 DAQ 板下发频率为 16 MHz 的时钟信号作为 DIF 板时钟模块的输入时钟。

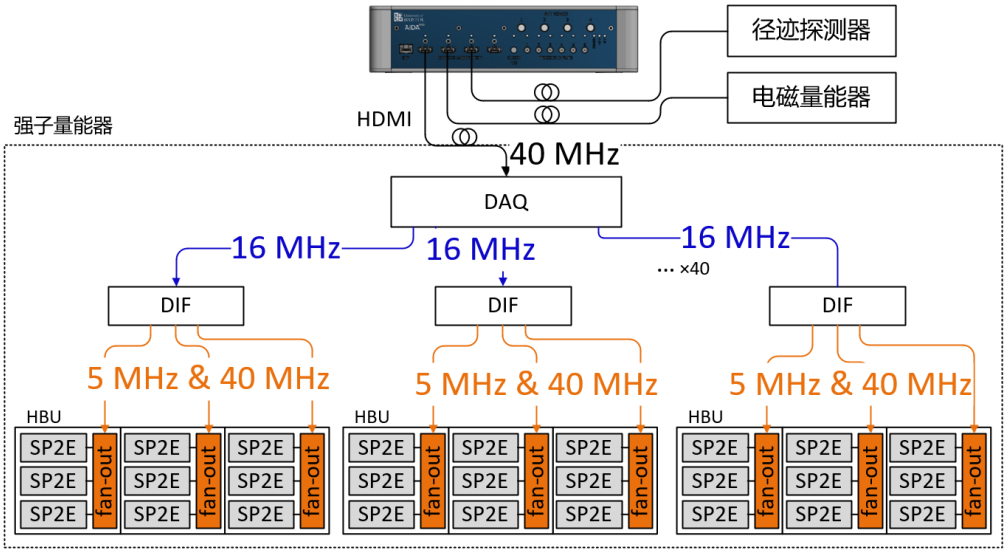


图 4-18 CEPC AHCAL 时钟方案

SPIROC2E 的正常工作依赖于两个频率不同的时钟，其中慢时钟周期可调，快时钟固定为 40 MHz。DIF 板负责向 SPIROC2E 提供所需的时钟信号，但是频率为 16 MHz 的时钟无法整数倍频成的频率为 40 MHz 的时钟，因此 DIF 板处的先将 16 MHz 时钟倍频为 80 MHz 时钟，再将 80 MHz 时钟分频为 40 MHz 时钟。SPIROC2E 所使用的慢时钟频率为 5 MHz，可以使用 40 MHz 分频得到。基于上

述内容，CEPC AHCAL 样机的数据获取电子学时钟方案如下图所示。为了保证每块 SPIROC2E 接收端时钟的同步，每块 sub-HBU 板上均有时钟扇出芯片，将 DIF 提供的时钟扇出成 3 对差分时钟信号到 SPIROC2E 处。

快时钟分频会出的慢时钟之间会存在不同的相位，导致不同 HBU 板之间出现慢时钟不同步的问题。例如，使用 80 MHz 时钟分频出 40 MHz 时钟会存在两种不同相位的结果，还需要再通过下发命令使不同 DIF 板产生的 40 MHz 对齐。使用 40 MHz 分频得到 SPIROC2E 慢时钟，同样存在类似的问题，也需要 DAQ 板下发命令以保证所有 DIF 板生成的慢时钟前沿对齐。通过 DAQ 下发同步命令的方式，消除时钟多相位的过程如图 4-19 所示。

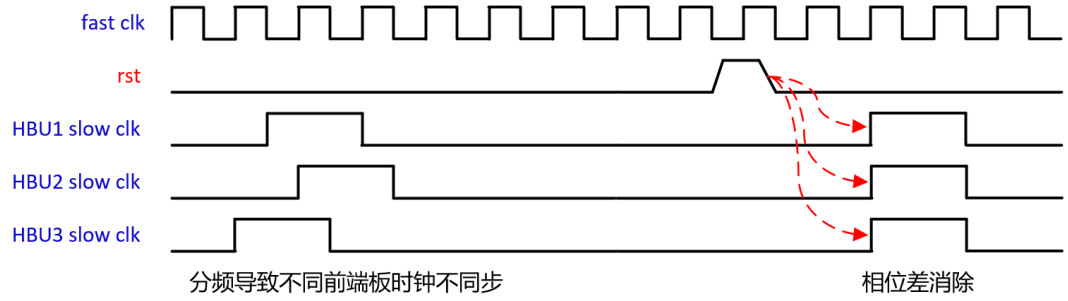


图 4-19 不同 HBU 板时钟多相位的消除

不同探测器联合测试的触发方案如图 4-20 所示。TLU 在下发触发信号后还会通过另外一根数据线下发该触发信号的编号，即触发号（Trigger ID），DAQ 板会将该 Trigger ID 嵌入数据包中。在数据的离线分析过程中可以通过比较 Trigger ID 以实现不同系统间的事例对齐。不同探测器系统会将自身状态通过 busy 信号线上传至 TLU 处，当任一探测器处在死时间内时，TLU 不会下发触发，进而保证不同探测器之间的状态同步。

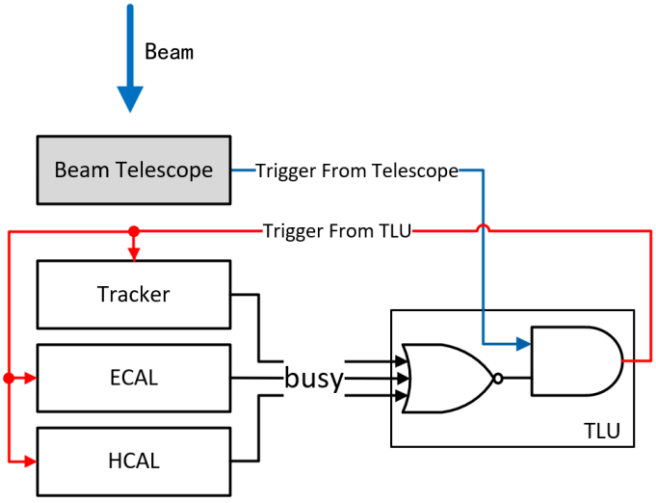


图 4-20 不同探测器联合测试的触发方案

4.2.2 数据传输方法研究

基于前文中确定的时钟方案，可以对 DAQ 板与 DIF 板之间的数据传输方法进行讨论，以保证 DAQ 板与 DIF 板的通信质量。

DAQ 中缓存的科学数据最终需要上传到服务器中稳定保存，以 3 kHz 最大事例率估算，40 层同时上传的最大比特率约为 120 MBps，然而实际的束流测试中绝大部分通道都不会被击中，因此实际的最大比特率需求要低于 120 MBps。考虑到信号传输距离和线缆自身的可靠性，DAQ 选择使用千兆以太网与服务器通信，信号传输线选择七类网线。该方案会使用到 FPGA 内部的 GTX 高速信号传输接口。SPIROC2E 产生数据的最大比特率约为 45 Mbps，为了降低数据传输信号翻转所产生的噪声，同时避免数据堆积在 DIF 板处，DIF 板上行科学数据传输的比特率设定为 64 Mbps。

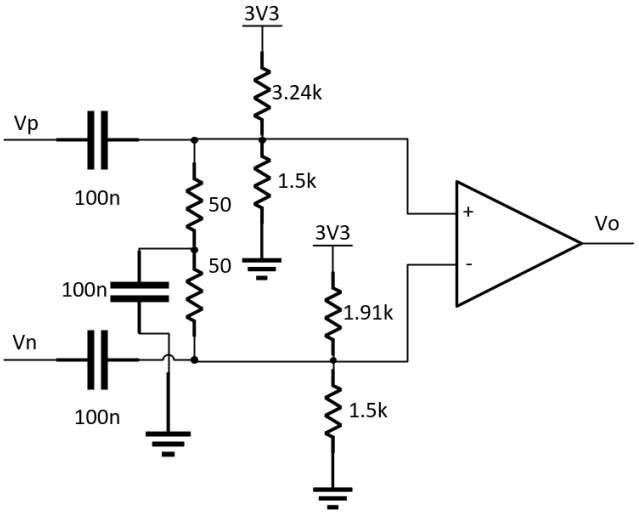


图 4-21 中心抽头的 LVDS 接收端缓冲电路

成像型量能器以导体为吸收体，在前端板安装到机械结构中后，通信线缆上往往会耦合较大的共模噪声，导致接收端器件无法正常工作。针对该问题，此处对低电压差分信号（Low-Voltage Differential Sinaling, LVDS）接收端缓冲器做出了结构优化，提出了如图 4-21 所示的中心抽头式的 LVDS 接收端缓冲电路。该方法在一般的 LVDS 接收端电路基础上，将 100 Ω的匹配电阻分为两个 50 Ω相串联，中间通过 100 nF 的电容连接到地，为线缆上的共模噪声提供低阻抗泄放通路，起到保护缓冲器芯片的作用。

在使用交流耦合方式的通信系统中，当待传输的数据有连续的 1 或 0 时，可以认为该时间段传输的是直流信号，导致传输线上电容储存的电荷无法释放，最终接收端无法准确识别数字信号。8B/10B 编码是由 IBM 公司提出的编码方式，目前已经广泛地应用在高速串行通信中。该编码方式的主要内容是将 8 bit 的有

效数据编码为 10 bit 再进行传输，利用 2 bit 的冗余位实现每 20 bit 串行数据中 0 和 1 数量相同的目的[95]。8B/10B 编码要求编码后的 10 bit 数据内 1 或 0 的数量不能超过 6 个，并且连续的 0 或 1 的数量不能超过 4 个，符合条件的 10 bit 数据共计 268 个，其中 256 个用于映射 256 种 8 bit 编码前的数据，被命名为 D 码，余下 12 个 10 bit 数据可用于传输帧起始、帧结束和传输空闲等状态标志，被命名为 K 码。8bit 原始数据可以分为两部分：低位的 5 bit EDCBA（十进制为 X）和高位的 3 bit HGF（十进制为 Y），在向 10 bit 数据的编码过程中分别将这两者编码为 6 bit 和 4 bit，因此 10 bit 数据的命名方式为 DX.Y 和 KX.Y。12 个 K 码中的 K28.1、K28.5 和 K28.7 为 K 码的控制码，称为 comma 码，因为只有这三个编码会出现连续 5 个 0 或连续 5 个 1，comma 码一般用于充当数据边界。基于上述内容，DAQ 板与 DIF 板通信的数据编码方式如下图所示。

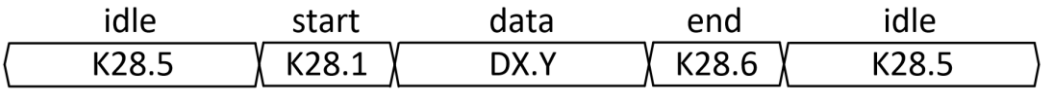


图 4-22 数据编码方式

DIF 板的时钟由 DAQ 板提供，这导致了 DIF 板的上行数据与 DAQ 本地时钟存在一定相位差，该相位差可能导致 DAQ 板处采样时钟的前沿恰好处在 DIF 板上行数字信号的边沿附近，无法采集到准确的电平信号，数据汇总系统选择联合使用 FPGA 的输入延时资源[96]（Input DELAY resources, IDELAY）以及输入串行器与解串器[96]（Input Serializer-Deserializer, ISerDes）以避免该情况的发生。数据接收端 FPGA 内部逻辑结构如图 4-23 所示，接收端数据先进入 IDELAY 模块，再进入 IserDes 模块转换为 2 bit 串行数据，2 bit 串行数据进入 gearbox 内做变速处理为 10 bit 数据。delay tap scanning 模块会对 IDELAY 模块的延时大小进行扫描，当前后两个 10 bit 数据互为反码时则视为完成扫描。在 IDELAY 延时确定后，register shifting 模块会将相邻 4 个 10 bit 数据拼接并存储在宽度为 40 的寄存器中，并通过不断对寄存器做移位操作直至找到连续 10 bit 数据为 K28.5。在完成上述操作后，接收端的串行数据即可被正确转换为并行数据，并通过 decode 模块解码为 8 bit 有效数据。

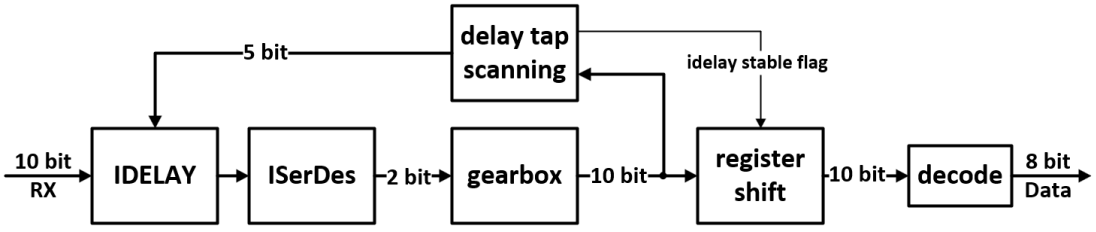


图 4-23 数据解码逻辑结构图

4.2.3 事例筛选与对齐方法研究

样机中使用的 SiPM 的暗计数率为 1.2×10^5 cps*，在样机中使用到了上万片 SiPM，每秒可以产生 10^9 以上的暗计数事例，因此数据获取电子学必须对 SiPM 产生的信号做筛选，保留真实的击中事例。此外，成像型量能器测量粒子能量要求所有取样层的取样结果均参与到粒子能量重建，数据获取系统需要能够在对 40 层前端板做数据汇总的同时完成事例对齐。PFA 探测器系统要求径迹探测器、电磁量能器与强子量能器协同工作，因此数据获取电子学需要具备与外部探测器做事例对齐的功能。

前文的研究工作解决了时钟同步和数据传输的问题，在此基础上可以对 SiPM 有效事例的筛选、40 层 HBU 板间事例对齐方法以及 CEPC AHCAL 样机测试结果与其他探测器做事例对齐的方法展开讨论。

当不对 SiPM 输出信号做筛选时，SPIROC2E 的工作模式如图 4-24 所示。SPIROC2E 每个通道都集成有深度为 16 的电容阵列，用于暂时存储成形后的模拟信号峰值电压，每个电容称为一个 Cell。当 SiPM 的输出信号超过 SPIROC2E 设定的阈值电压，经过一定延时后该通道当前连通的 Cell 就会存储下当前模拟电路输出的电压信号，同时 SPIROC2E 的数字部分也会控制改通道的模拟电路连接到下一个 Cell。由于 SiPM 的暗计数高达 10^5 cps[97]以上，该方案会记录下大量的噪声事例，极大地提高离线事例重建复杂度。

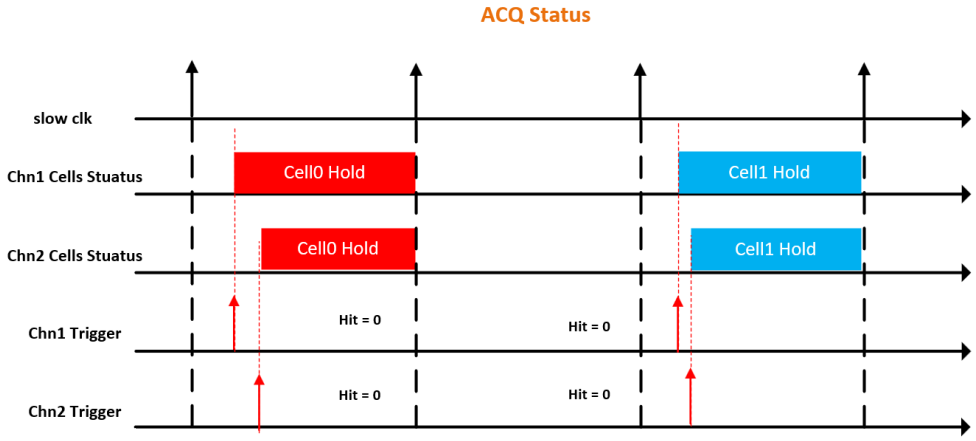


图 4-24 不做事例筛选 SPIROC2E 的工作模式

在束流输出端口一般会配备有望远镜系统，该系统可以监测束流状态，并向所有使用该束流的探测器提供触发信号。CEPC AHCAL 样机使用 TLU 作为时钟触发源，因此在实验过程中可以将束流望远镜的触发信号接入 TLU 输入再由

*cps 为 counts per second，该单位意为每秒计数。

TLU 统一扇出到各个探测器系统。最简单的事例筛选办法是直接使用该触发信号强制 SPIROC2E 采集信号，具体的工作模式如图 4-25 所示。该方法会导致所有通道强制采集数据，其中绝大多数通道并未被入射粒子击中，虽然可以屏蔽掉 SiPM 的噪声事例，但会引入大量的台基信号，导致离线事例重建难以开展。

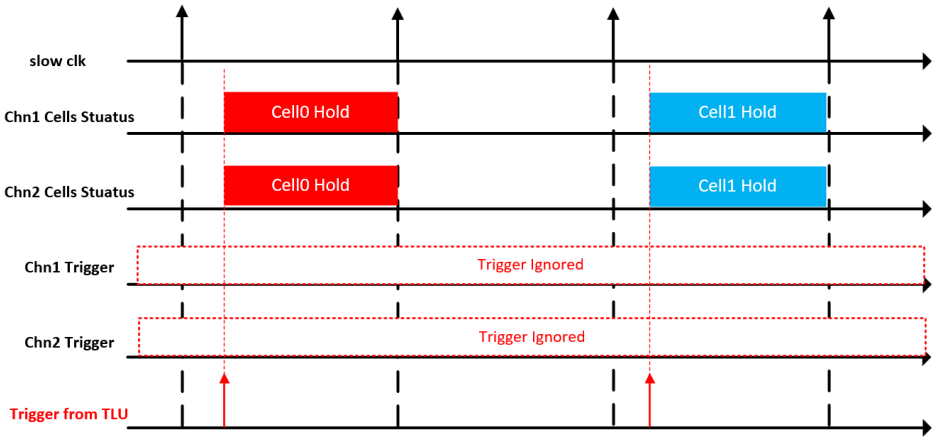


图 4-25 使用 TLU 触发信号控制采数的工作模式

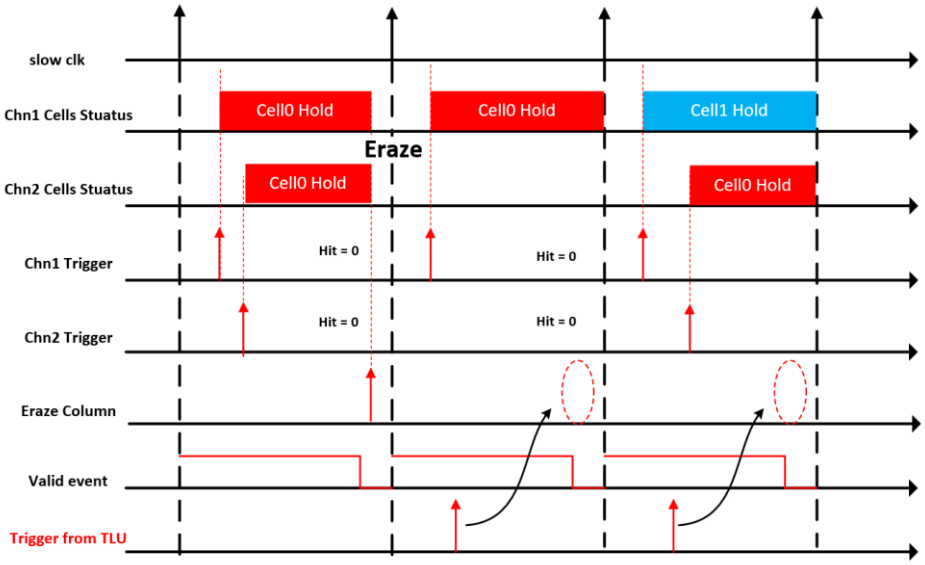


图 4-26 使用 TLU 触发信号决定是否保留 SiPM 过阈信号的工作模式

为了既能筛选掉 SiPM 噪声事例，也不引入额外的台基信号，如图 4-26 所示的工作模式被提出。该方案使用到了 SPIROC2E 的 Eraze 功能，该功能的内容为：当 SPIROC2E 接收到 Eraze 信号则会擦除当前 Cell 存储的电压信号。基于该功能，如果在某个慢时钟周期内 DIF 板没有接收到 TLU 下行的触发信号，则会在慢时钟周期末端向 SPIROC2E 输出 Eraze 信号，擦除所有通道当前 Cell 记录的信号，反之则不输出 Eraze 信号，保留当前 Cell 记录的电压信号。该方案相当于将开放的时间窗口压缩为一个慢时钟周期，从而降低 SiPM 噪声事例被采集到的

概率，并且不会引入多余的台基信号。

事例对齐工作主要分为样机内部 40 层 HBU 板的事例对齐以及与其他探测器系统联合测试时的事例对齐，下面将一次介绍这两部分的研究内容。

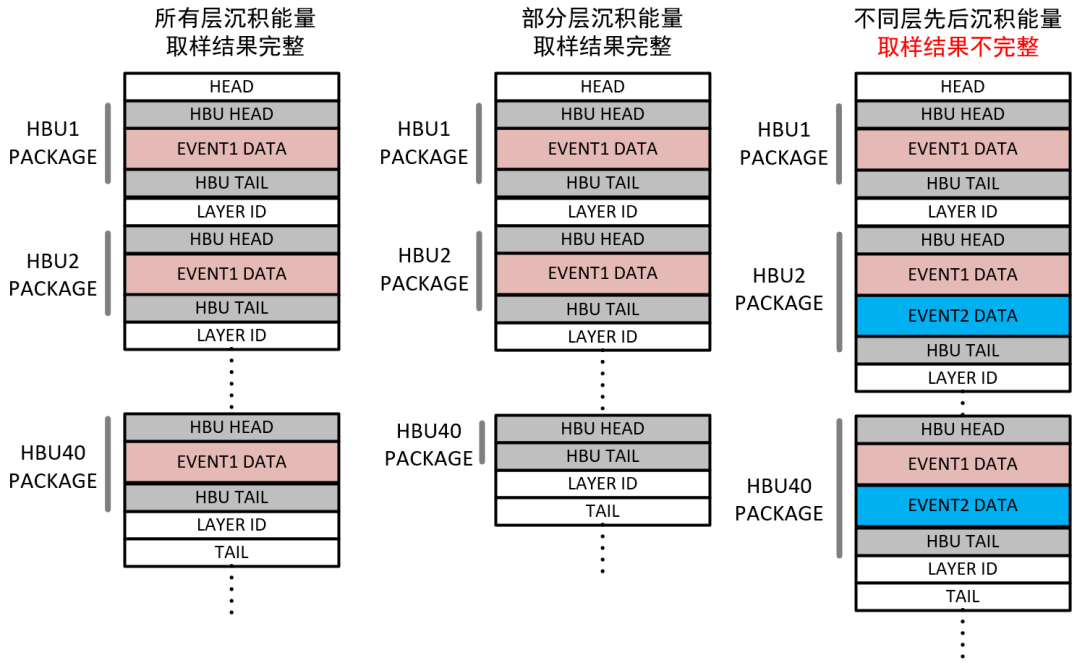


图 4-27 粒子能量沉积情况与取样结果关系

样机内部事例对齐的关键是保证入射粒子的取样结果与其在闪烁体中的能量沉积情况相匹配。在一定的采样时间窗口内，入射粒子的能量沉积情况可以大致分为三种：在所有层均沉积能量、在部分层沉积能量以及先后在不同层沉积能量，并且第三种情况占据主导。对应的取样结果如图 4-27 所示，显然第一种情况的事例是完整的，第二种情况的入射粒子能量快速沉积，靠后的 HBU 板不参与取样，事例同样完整。第三种情况中，较早入射粒子的取样结果 EVENT1 是完整的，但是较晚入射粒子的取样结果 EVENT2 则缺乏第一层 HBU 板的取样数据，这是因为 HBU 板之间的状态不同步，当部分 HBU 板处在死时间内时，其余层仍可以采数。

为了解决上述问题，保证当有任意一层 HBU 板退出事例采集状态时其余 HBU 板也要同步退出事例采集状态，DIF 板和 DAQ 板之间额外引入了一根 busy 信号线用于从 DIF 板向 DAQ 板上传当前 HBU 板的工作状态。为了不破坏 DIF 板和 DAQ 板之间交流耦合的状态，该信号线的数据传输方案同样为交流耦合 LVDS。当 HBU 板退出数据采集窗口时，DIF 板会上行 0x0D01 到 DAQ 板处，表示该层此时处于“BUSY”（即死时间）状态，无法采数。当该层 HBU 板完成数据传输时，DIF 板会向 DAQ 板上传 0x0D00，表示该层退出“BUSY”状态，

可以开始采数。

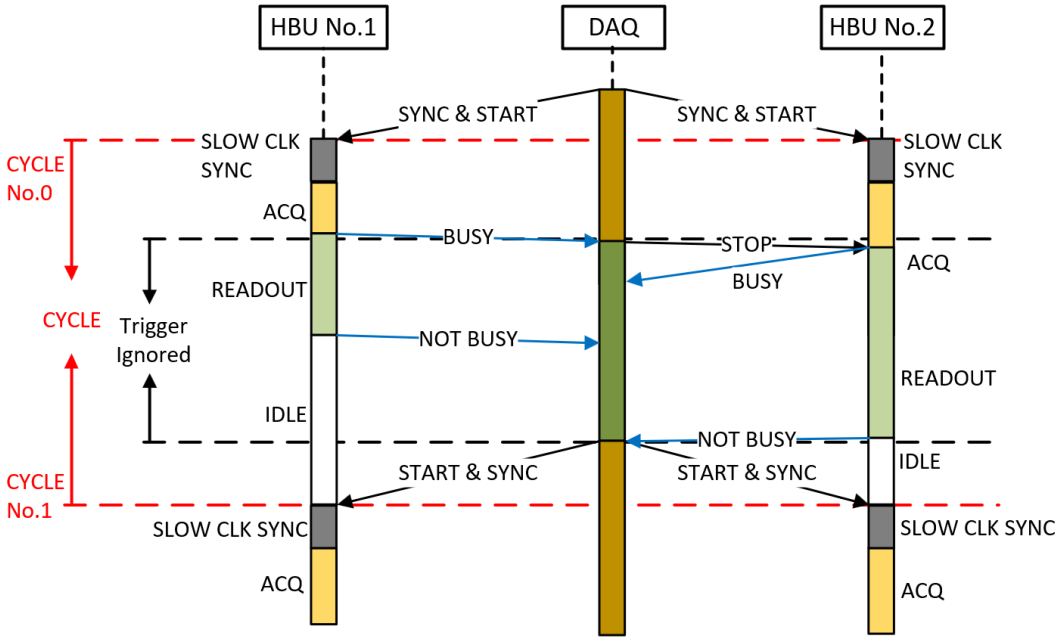


图 4-28 HBU 板状态同步方案

以两层 HBU 板为例，HBU 板的状态同步方案如图 4-28 所示。当服务器向 DAQ 板下发开始采数的命令后，DAQ 板会向每一层 DIF 板下发同步慢时钟（SYNC）和开始采数（START）的命令，40 块 DIF 板在完成慢时钟相位同步（SLOW CLK SYNC）后会控制 HBU 板同时进入采数状态（ACQ）。当任意一层 HBU 板退出 ACQ 状态后会向 DAQ 板上行 BUSY 信号，DAQ 板接收到该信号后会屏蔽掉 TLU 下行的所有触发，并向剩余所有 DIF 板下发停止采数（STOP）命令，DIF 板收到 STOP 信号后也会上行 BUSY 信号。当 HBU 板完成数据传输后，DIF 板会向 DAQ 板发送退出 BUSY 状态的信号（NOT BUSY），当 DAQ 板收到所有 40 层 DIF 板上行的 NOT BUSY 信号后会再次向 DIF 板下发 SYNC & START 命令，控制 HBU 板再次开始采数。由于引入了主动控制 HBU 板退出采数状态以及屏蔽 TLU 下行触发的操作，可以保证 DAQ 板向 DIF 板下发触发信号时，所有 HBU 板一定处于采数状态，保证取样结果与粒子能量沉积情况相匹配。

与其他探测器系统的事例对齐首先要保证不同探测器之间的状态同步，实现方式为主动控制 TLU 下发触发的状态，具体的触发方案如图 4-20 所示。所有探测器系统都会上行 busy 信号到 TLU 处，busy 信号为 1 时表示探测器不处于数据采集状态。当任意探测器处于 busy 状态时，TLU 会主动舍弃掉来自望远镜系统的触发信号，直至所有探测器恢复到数据采集状态。该方案相当于强制要求死时间较短的探测器系统等待死时间较长的探测器系统进入可以采集数据的状

态，从而实现不同探测器系统的状态同步。

4.2.4 测试验证

在 HBU 板正式复制前，我们使用两层 HBU 板实现了如图 4-29 所示的宇宙线测试平台。两层 HBU 板对齐叠放在一起，其中位于底部的 HBU 被安装在黑色铁盒内。

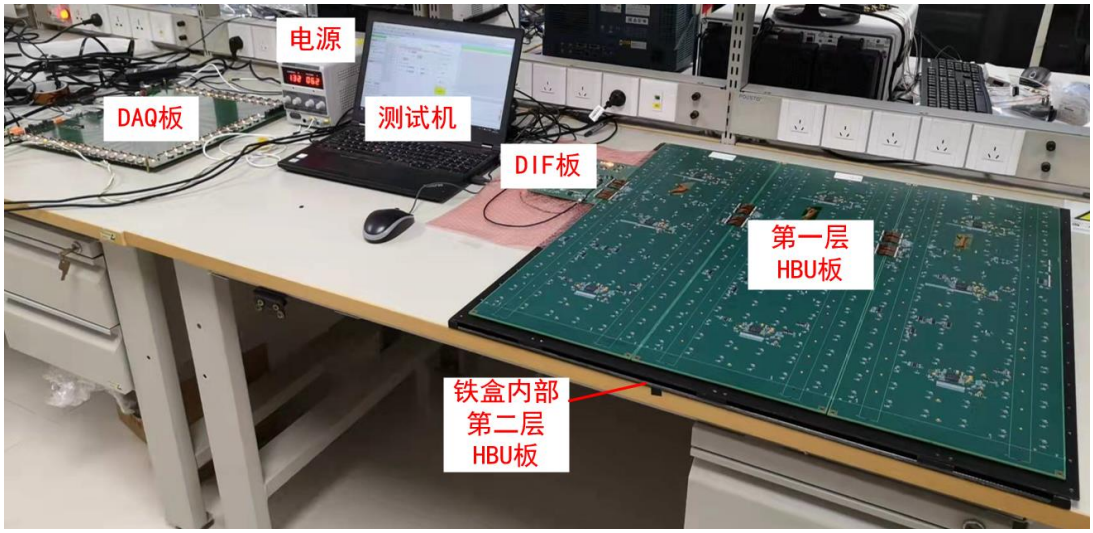


图 4-29 两层 HBU 板宇宙线测试平台

数据传输电路的性能可以依靠通信误码率进行判断，因此我们借助宇宙线测试平台，进行了误码测试。测试方案为使用 DAQ 板持续以最高数据率下发递增 16 进制有效数据，DIF 板接收并再次上行所接收到的数据，最终通过 DAQ 板上传到服务器中。测试结果为：在长度为 10^{16} bit 数据包内，没有出现误码，可以认为该传输电路误码率低于 10^{-15}，置信度 99.997%。误码率较低的原因是比特率远低于物理层所能达到的极限，另一方面使用了交流 LVDS 耦合以及 8B/10B 编码办法提高了抗共模噪声能力。

以 HBU 板中心为原点，可以将 HBU 板的取样区域划分为 18×18 的坐标平面。当宇宙线缪子击中某块闪烁体时，该闪烁体在坐标平面内的位置即可表示缪子的入射位置。如图 4-30 所示，被击中闪烁体为红色，取其中心点坐标则宇宙线缪子的入射位置坐标为（140 mm, 140 mm）。

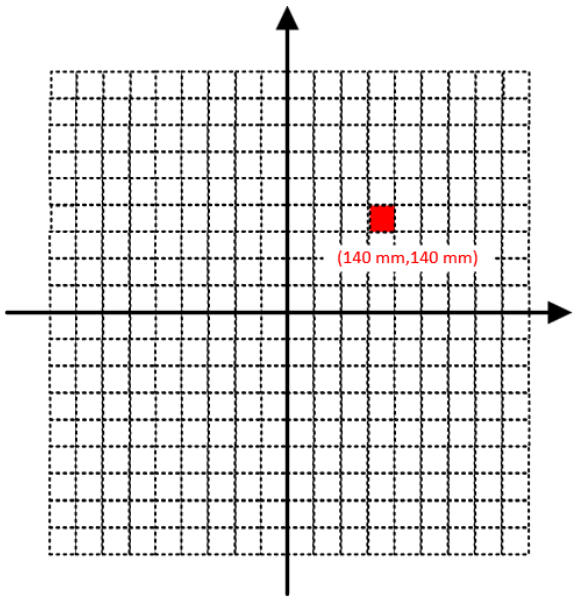


图 4-30 HBU 板坐标平面及宇宙线缪子击中位置坐标示意图

宇宙线缪子会在上下两层 HBU 板中均沉积能量，并且由于上下两层 HBU 板的间距不到 1 cm，垂直入射事例占据主导。换言之，将相同数据包内的上下两层通道的位置坐标相减，其坐标差值应当严格在-20 mm～+20 mm 之间。如果出现超过该差值的事例，则是事例筛选或事例对齐出现问题，反之则可以严格地证明数据获取电子学可以完成事例筛选和对齐工作。

测试结果如图 4-31 所示，左右两图分别为 X 坐标相减和 Y 坐标相减结果。总计采集了 8216 个有效事例，坐标差值均分布在-20 mm ~ +20 mm，可以证明数据采集系统能够满足事例筛选和对齐需求。

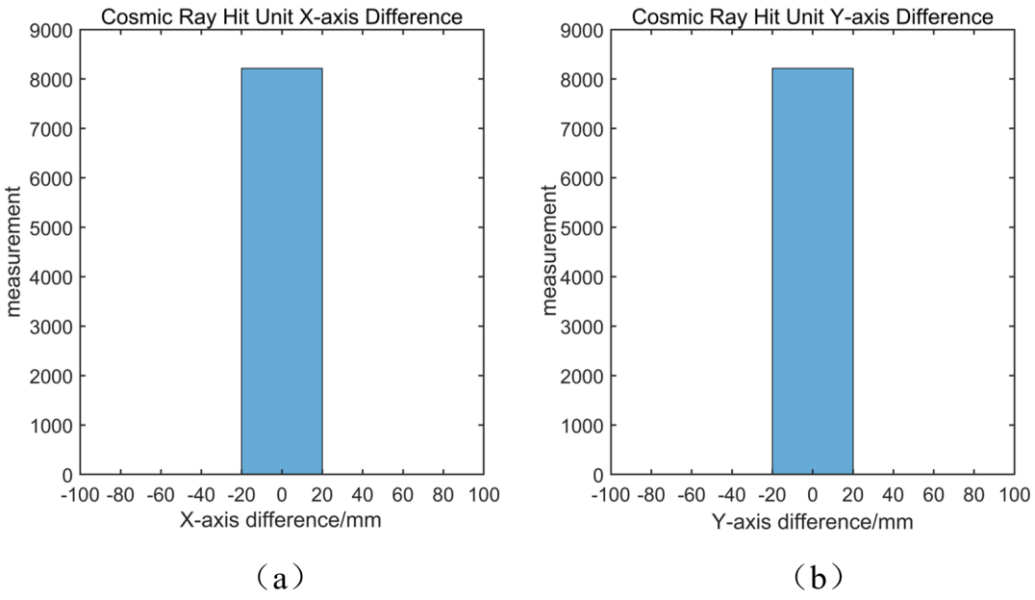


图 4-31 宇宙线测试坐标差值统计结果： (a) 横坐标差值统计图； (b) 纵坐标差值统计图

进一步的多探测器联合测试需要使用到电磁量能器，受到实验场地的制约将在束流测试章节展开介绍。

本节对前端板数据汇总方法展开了研究工作，并提出了时钟触发方法、数据传输方法以及事例筛选与对齐方法。为了对上述方法进行验证，本文使用两层 HBU 板实现了宇宙线测试平台，并开展了电子学测试。测试结果表明：DAQ 板与 DIF 板之间数据传输误码率低于 10^{-15}，置信度为 99.997%，上下两层 HBU 板有效事例坐标误差在-20 mm ~ + 20mm，表明数据获取系统可以完成 HBU 板的事例筛选以及 HBU 板之间的事例对齐。

4.3 本章小结

面向 CEPC AHCAL 样机对数据获取电子学的需求，本章对数据读出方法和数据汇总方法展开了研究讨论。

在数据读出部分，由于成像型强子量能器通道数庞大，会在短时间内产生大量的数据，现有读出技术的最大事例率不到 100 Hz，远低于 CEPC 需求。本章通过优化 ASIC 的端接电路结构，重新设计读出逻辑，提出了低死时间数据读出方法。经过随机触发电子学测试，使用该读出方法的 CEPC AHCAL 样机平均最大事例率为 3050 Hz，是现有样机的 30 倍以上。

在数据汇总部分，本章针对 PFA 对成像型量能器数据获取系统的需求，提出了 CEPC AHCAL 样机的时钟同步技术、数据传输技术以及事例筛选与对齐技术。经过测试验证，电子学系统数据传输误码率低于 10^{-15}，置信度 99.997%，并能够完成不同前端板的事例筛选与对齐，可以满足 PFA 需求。

第5章 CEPC AHCAL 样机读出电子学系统设计与实现

前文针对 CEPC AHCAL 样机读出电子学系统的具体需求，按照前端读出电子学和数据获取电子学的分类方式，从最小取样单元的读出方法出发，逐步将研究工作推进到取样层全通道的读出方法、前端板的数据读出方法乃至所有取样层的数据汇总方法，完成了 CEPC AHCAL 样机完整的读出电子学系统研究工作。为了提前解决 CEPC AHCAL 存在的技术难题，前文在方法研究过程中同时提出了下述关键技术：大规模高密度 SiPM 读出技术、SiPM 增益刻度技术以及低死时间 ASIC 读出技术。

综合前文的工作内容，可以得到如图 5-1 所示的 CEPC AHCAL 样机读出电子系统设计方案，本章将介绍其中的具体设计内容以及实现结果。

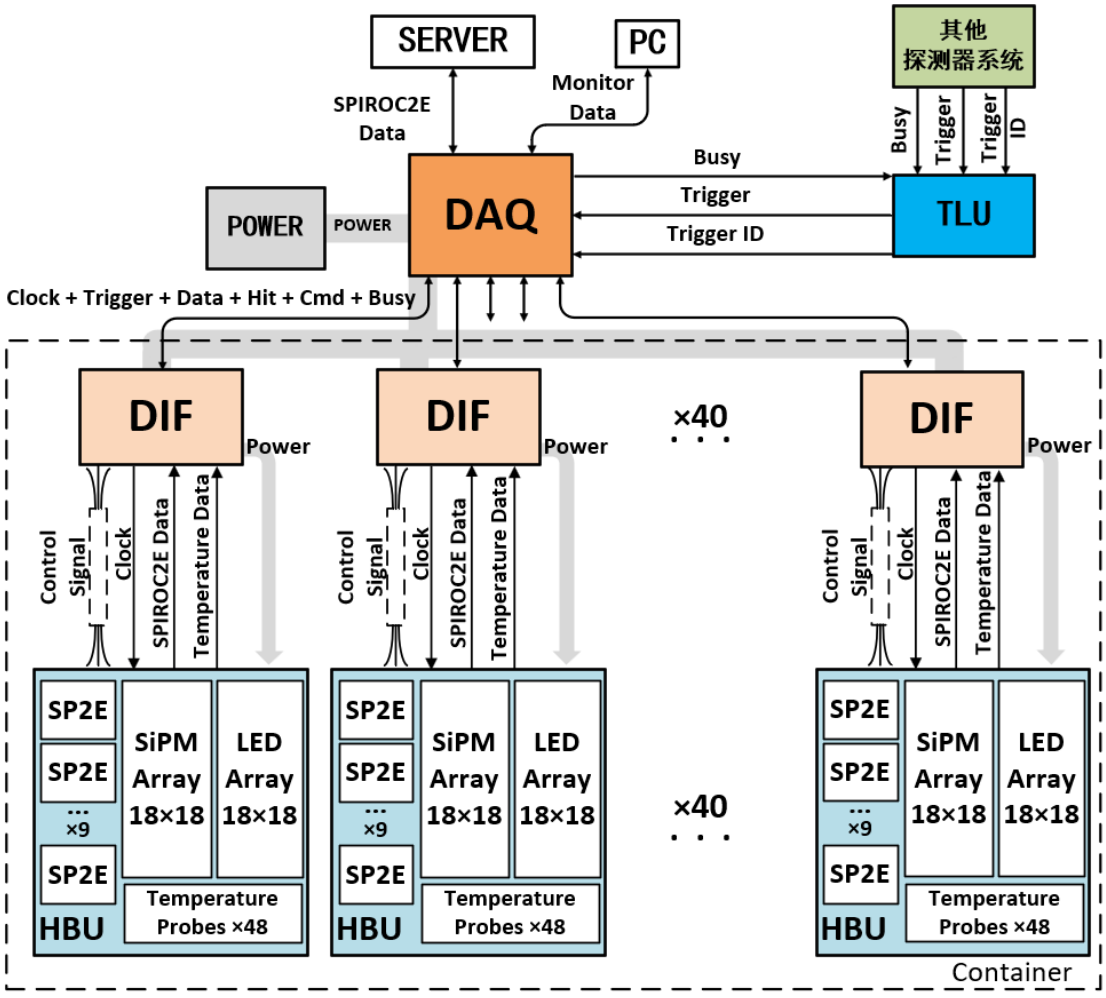


图 5-1 CEPC AHCAL 样机读出电子学系统设计方案

5.1 前端读出电子学设计与实现

本节以前文的工作内容为基础，继续推进到前端读出电子学的设计与实现部分。前端读出电子学的设计思路为：将多芯片验证板的工作进行总结提炼，确定出适应 CEPC AHCAL 样机的 HBU 板设计方案。进一步地，我们将 HBU 板的设计方案推广到了 40 层 HBU 板的实现，并完成了 12,960 通道的电子学测试工作。

5.1.1 前端读出电子学板设计

基于前文的方法研究工作和多芯片验证板的技术方案，可以展开 HBU 板的设计工作，HBU 板的设计需要在实现对 720×720 mm^2 取样区域覆盖的基础上兼顾结构稳定性。

HBU 板上 324 通道 SiPM 的信号读出设计方案与前文中全通道 SiPM 信号读出方法保持一致。SPIROC2E 的控制与读出方案如图 5-2 所示，分为快控制（Fast Control）、慢控制（Slow Control）以及数据传输（Data Transmission）三个部分。样机能量重建要求对 SiPM 的输出信号作筛选，Fast Control 模块用于向 SPIROC2E 提供事例筛选所需的触发信号。SPIROC2E 内部有寄存器链控制其工作状态，寄存器存储的数字信号在断电后会丢失，因此 HBU 板上设计了慢控制模块负责对 SPIROC2E 内部寄存器的重新配置。Data Transmission 则对应前文的低死时间数据读出方法，用于兼容并行读出的电路优化方案。

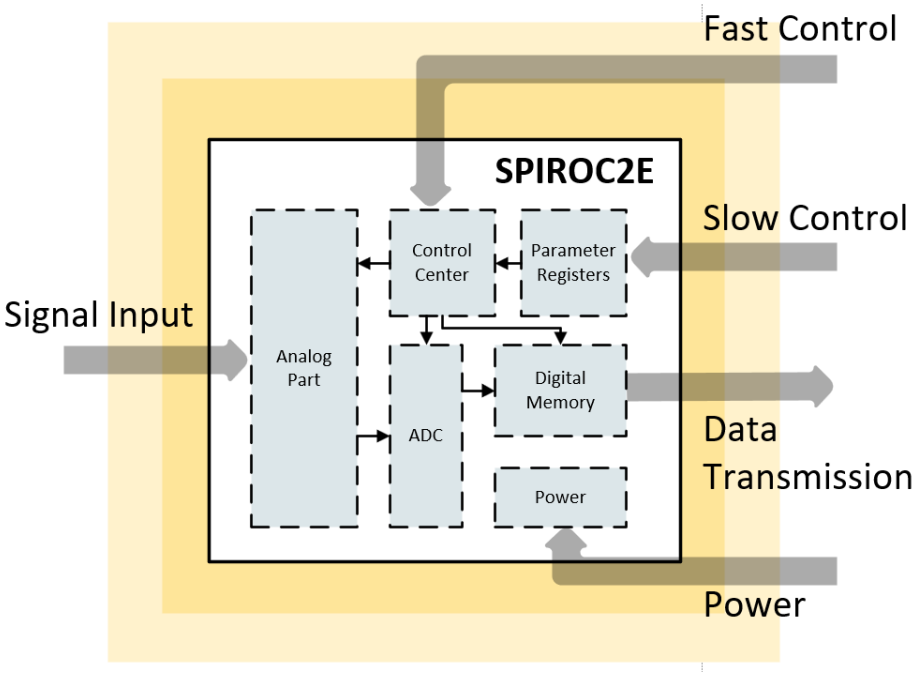


图 5-2 SPIROC2E 控制与读出方案

由于取样区的面积达到了 720 × 720 mm^2，使用一块完整的 PCB 实现对取样区域的覆盖存在诸多缺陷：PCB 的生产难度大，无法保证良品率；运输成本过高；PCB 自重较大，易发生弯折，导致芯片脱焊等。为此，我们借鉴 CALICE AHCAL 的拼板方法，并结合前文提出的并行读出方法，给出如图 5-3 所示的前端板电子学设计方案。

我们将 HBU 板划分为三块完全相同的 sub-HBU 板，每块 sub-HBU 包含 3 片 SPIROC2E 和 108 个取样通道。SPIROC2E 的正常工作依赖于高质量的时钟和触发信号，因此在每块 sub-HBU 板上都设计有扇出模块（Fanout），将下行时钟和触发信号扇出后，一对一地输出到 SPIROC2E 的接收端，最大限度地保证信号完整性。参照前文的 SiPM 刻度方法研究内容，HBU 板上设计有 SiPM 刻度电路，用于对 SiPM 的全通道刻度。

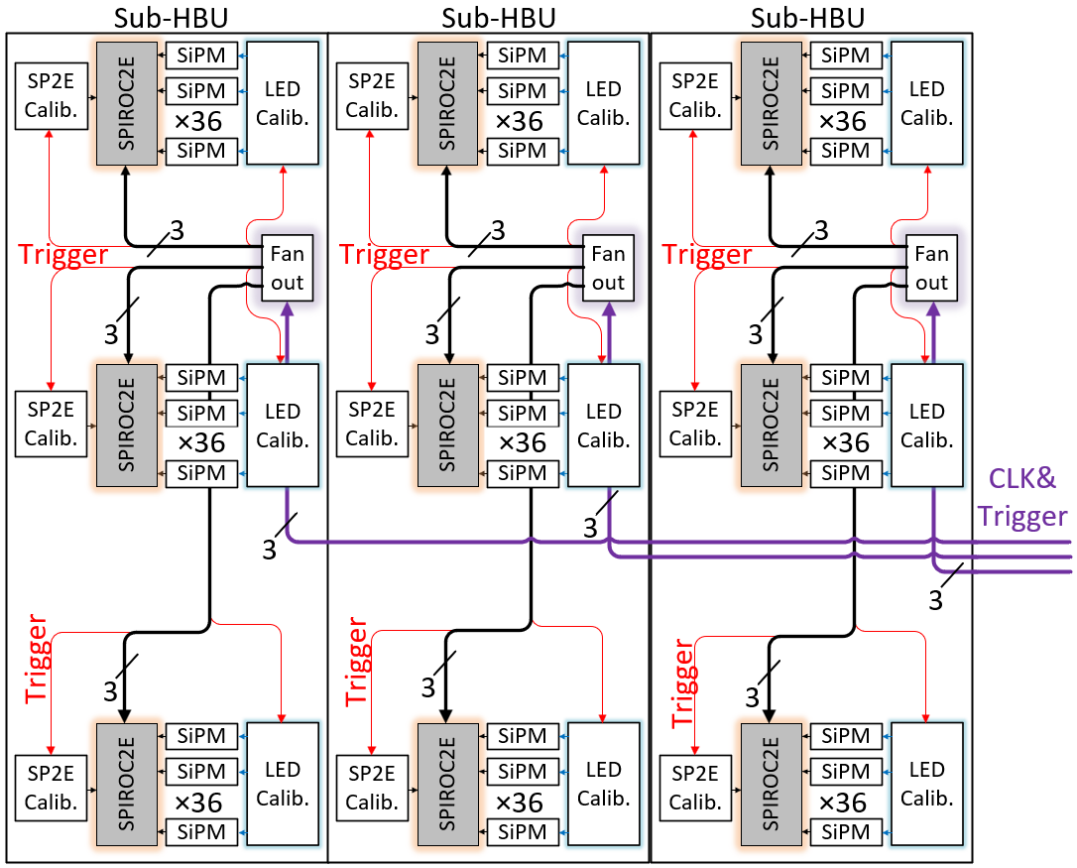


图 5-3 HBU 板电子学设计方案

5.1.2 前端读出电子学板实现

进一步地，我们在 HBU 板设计方案的基础上，完成了 HBU 板的实现工作。HBU 板实物如图 5-4 所示，由 3 块 HBU 子板（sub-HBU 板）拼接而成，每块 sub-HBU 板的尺寸为 240×785 mm^2，三块 sub-HBU 板沿长边相互拼合后完整

的取样面积可以达到 720×720 mm^2。由于样机在研制完成后需要经过长途运输抵达 CERN，HBU 板还需要具备一定的抗振性能，尤其是在 sub-HBU 板的连接处需要设计出具有抗振能力的信号传输方案。为此，sub-HBU 板之间使用了如图 5-5 所示的高密连接器配合柔性板的方案进行互连。相较于刚性连接器，长途运输产生的振动可以通过柔性板得以释放，使得连接器焊点几乎不受力，从而提高 HBU 板的抗振能力。

SiPM 与闪烁体的分布如图 5-6 所示，图 5-6（a）为 SiPM 的焊接后的照片，正方形白色丝印对应到闪烁体的贴装位置；图 5-6（b）为完成闪烁体贴装后的前端板照片。

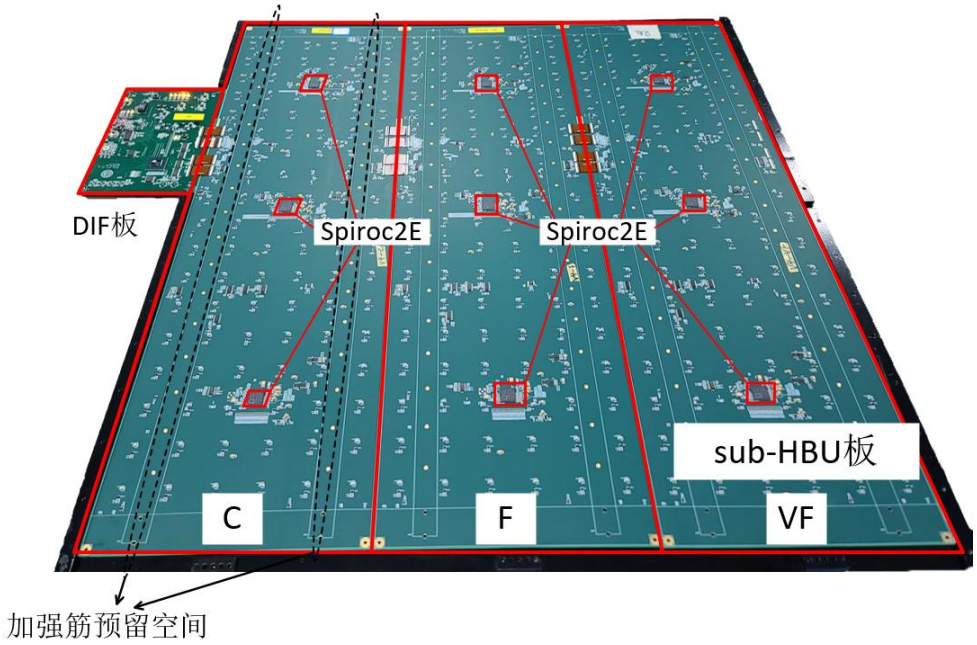


图 5-4 HBU 板及 DIF 板照片

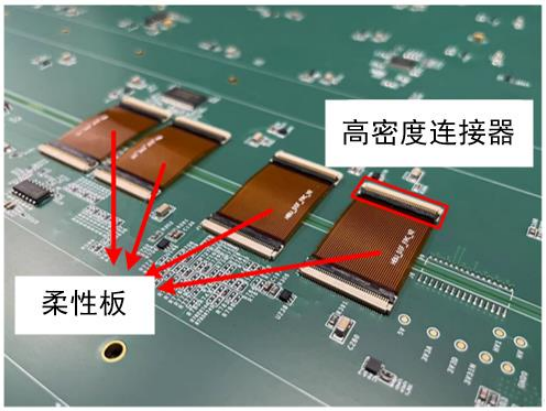


图 5-5 sub-HBU 板间连接使用的连接器及柔性板

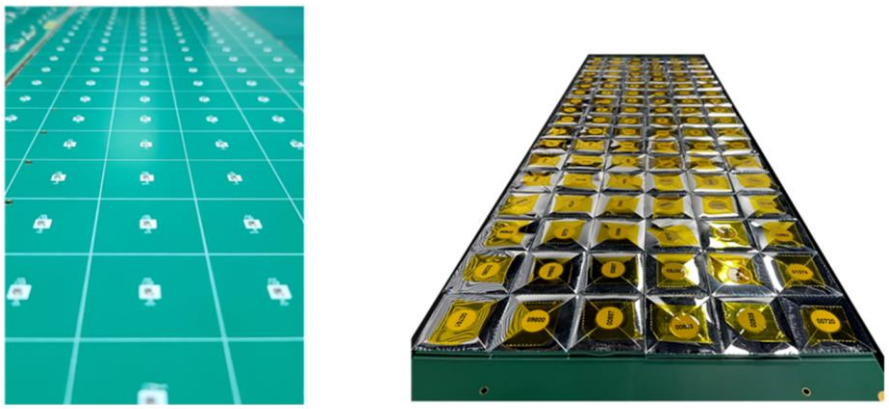


图 5-6 HBU SiPM 一侧照片：(a) SiPM 焊接后照片； (b) 闪烁体贴装后照片

随后，我们完成了 129 块 sub-HBU 板的实现工作，其中所使用到的约 16000 块塑料闪烁体由中国科学院高能物理研究所、中国科学技术大学和上海交通大学共同参与研制。

为保证样机通道一致性，我们对所有塑料闪烁体进行了光产额测试，测试结果统计图如图 5-7[99]所示。在完成测试的 15524 块塑料闪烁体中：854 块闪烁体的光产额 LY（Light Yield， LY）小于 11.7 p.e./MIP*，451 块闪烁体的光产额大于 14.3 p.e./MIP，剩余 14219 块闪烁体的光产额相对差异在 10%以内，被应用于 CEPC AHCAL 样机中。

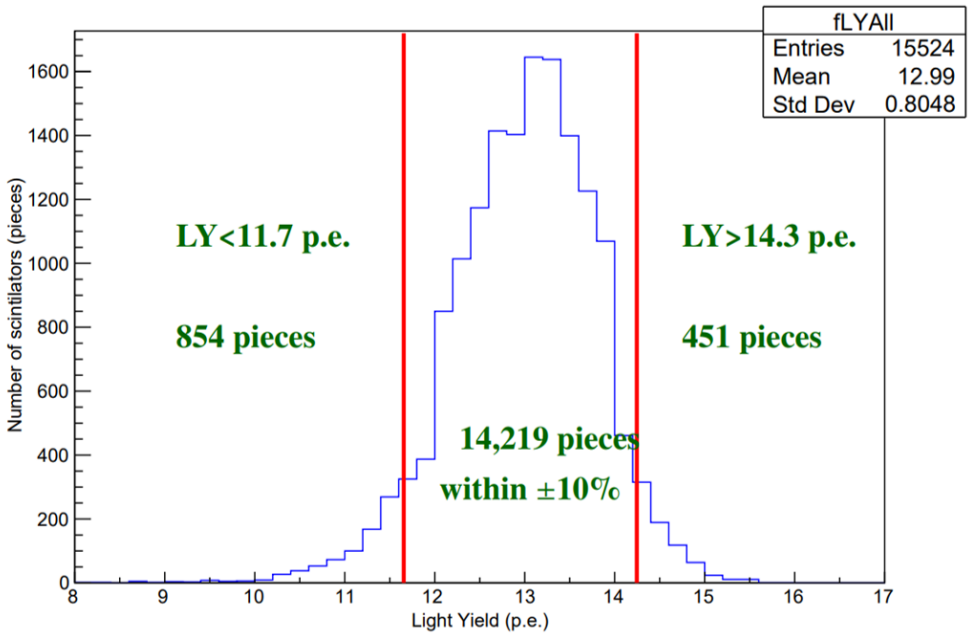


图 5-7 15524 块闪烁体光产额统计图[99]

* p.e.为 photo electron 光电子缩写，该单位意为 MIP 粒子入射时闪烁体产生的光子数。

为保证所有 HBU 板均处于良好的工作状态，我们对所有 HBU 板进行了电子学测试，并根据测试结果，修复或更换了所有表现异常的 SPIROC2E 芯片。40 层 HBU 板的基线测试的 mean 值统计结果如图 5-8 所示，基线位置处在 350 ADC code ~ 450 ADC code 之间，符合预期。360 块 SPIROC2E 的全通道刻度结果如图 5-9 所示，共计完成了 12,960 通道的刻度测试，图 5-9（a）为高增益通道增益刻度的统计结果，图 5-9（b）为低增益通道增益刻度的统计结果，刻度结果与前文工作内容保持一致，表明所有通道均可正常采集电荷信号。

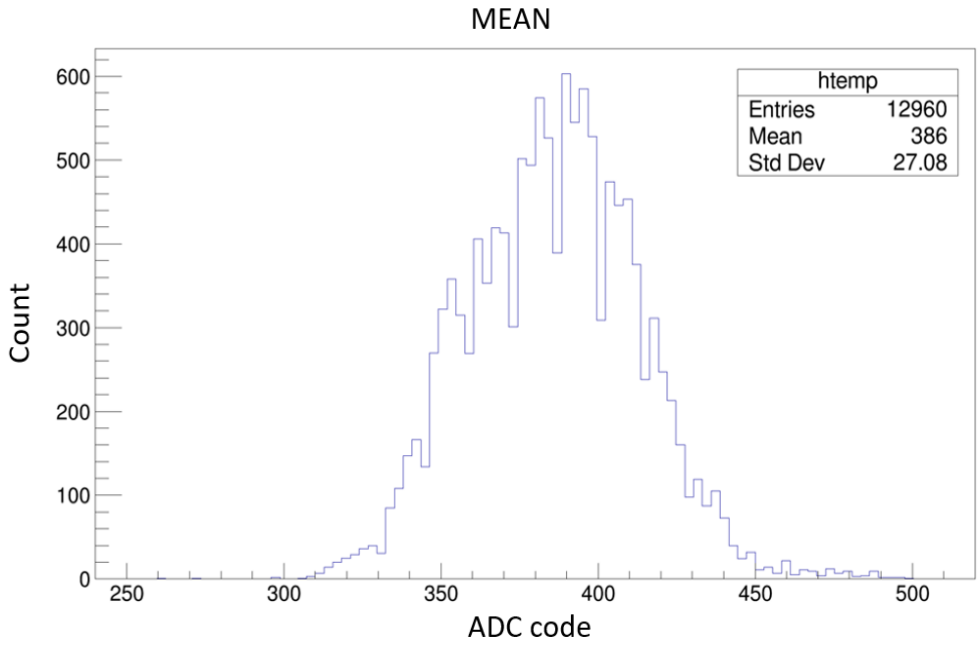
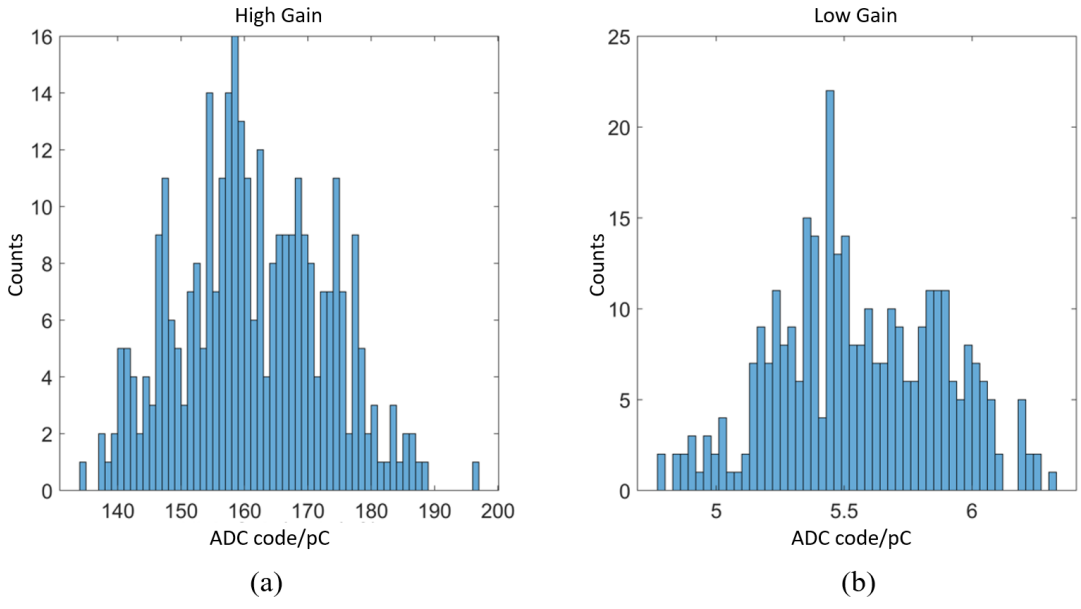


图 5-8 40 层 HBU 板基线统计图



(a)　(b)

图 5-9 40 层 HBU 板刻度结果(a) 高增益通道刻度结果；(b) 低增益通道刻度结果

电子学测试结果表明，360 片 SPIROC2E 均处于良好的工作状态，12,960 通道均可正常采集数据，40 层 HBU 板全部具备集成到 CEPC AHCAL 样机中进行束流测试的条件。

5.2 数据获取电子学设计与实现

数据获取电子学由两级电子学板组成，其中包括数据接口板（DIF 板）和数据汇总板（DAQ 板），本小节将完整地介绍 DIF 板与 DAQ 板的设计工作与实现结果。为与前文内容衔接更紧密，本节将先对与 HBU 板直接相连的 DIF 板的设计工作进行介绍。

5.2.1 数据接口板设计与实现

DIF 板的设计可以分为硬件设计和 FPGA 逻辑设计两部分，下面将具体介绍这两部分的设计工作。

为了适应 CEPC AHCAL 样机复杂的应用场景，DIF 板需要设计多种定制化功能，具体包括： SPIROC2E 的配置与实时控制、SPIROC2E 缓存数据的快速读出、科学数据的打包与上传、SPIROC2E 刻度模块的控制以及 SiPM 刻度模块的控制等。此外，CEPC AHCAL 样机的研发时间紧迫，设计工作繁复，并且束流实验存在极大的不确定性*，DIF 板必须具备迅速完成功能迭代的能力。

FPGA 是一种半定制化、可编程的特殊逻辑芯片，其内部的结构可重构，并且有丰富的输入输出单元，最适合应用于 CEPC AHCAL 样机复杂的定制化功能的开发。FPGA 的开发周期短，有助于缩短 CEPC AHCAL 样机的研发时间，并能够快速调整内部功能，以应对束流实验的不确定性。基于上述讨论内容，DIF 板的设计工作选择借助 FPGA 作为核心器件，以实现对 HBU 板上各个功能模块的控制以及科学数据的读出与上传。

DIF 板功能的实现需要设计合适的外围电路与 FPGA 相互配合、协同工作，其中包括：高压模块、电源模块以及通信接口。根据前文的研究内容，围绕 FPGA 为核心，DIF 板的电路设计方案如图 5-10 所示，图中直流电压的传输路径以灰色实线表示，高压传输路径以蓝色实现表示，其余连线或箭头则表示信号的传输路径，下面将具体介绍 DIF 板电路设计方案中不同电路模块的设计目的和具体方案。

* 现代高能粒子加速器内部结构极为复杂，束流很难长时间维持稳定。束流状态的变化会影响到样机束流实验的测试任务和具体目标，相应地，电子学系统需要配合做出及时的功能调整。

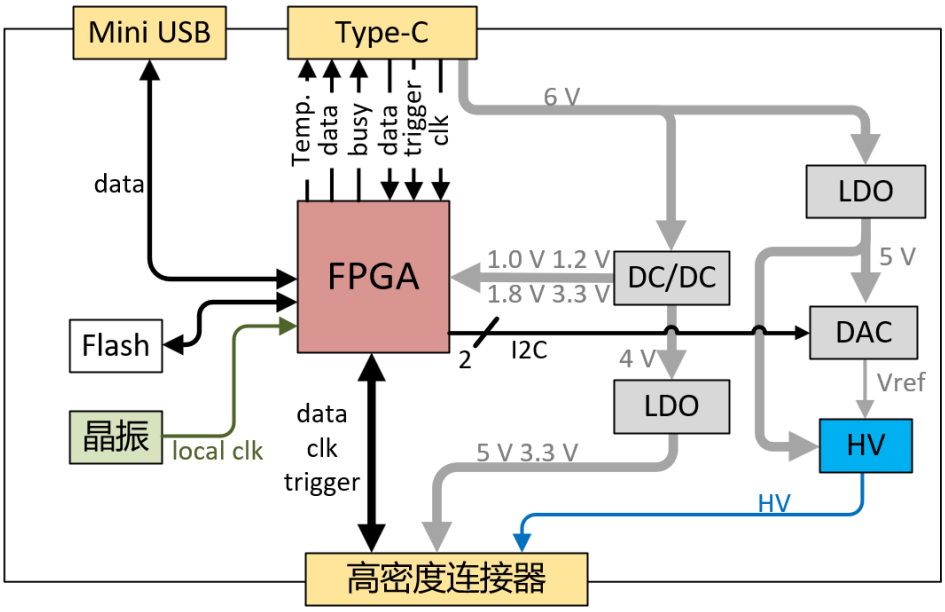


图 5-10 DIF 板电路设计方案

高压模块用于向 HBU 板上所有 SiPM 提供高压，使 SiPM 可以处在正常工作状态。由于样机中使用的 SiPM 大部分由 Hamamatsu 公司生产，为保证 SiPM 处于最佳工作状态，DIF 板高压模块的核心芯片为 Hamamatsu 公司设计的 SiPM 专用高压芯片 C14156。该芯片工作参考电压为 5 V，并需要设计独立的 DAC 模块为其提供参考电压。就此，高压芯片控制方案为：FPGA 通过 I2C 协议控制 DAC 的输出电压，DAC 的输出电压经过一级隔离后作为参考电压（Vref）输出到 C14156 的输入端，从而实现对高压的实时控制。

DIF 板上电源模块设计目的是将外部电源提供的直流电压处理成 FPGA、SPIROC2E 以及外围器件所需的直流电压。由于 HBU 板和 DIF 板功能复杂，器件众多，电源模块的设计需要综合使用低压差线性稳压器（Low DropOut Regular, LDO）和开关电源（DC/DC Converters）。LDO 一般通过负反馈的方式获得低纹波的输出电压，但是其功耗较高，且正比于输入电压与输出电压的压差，适用于对电压纹波要求较高的模拟读出芯片，如 SPIROC2E 和高压芯片。DC/DC 的基本原理是通过不断地通断开关，将输入的直流电压转变为高频电压信号，经过整流滤波后输出为稳定直流电压。一般地，DC/DC 输出的直流电压的纹波要大于 LDO，但是 DC/DC 的功耗低、效率高，适用于对电压要求纹波不高的数字芯片，如 FPGA。

考虑到 C14156 的工作电压为 5 V，且为模拟芯片，需要使用 LDO 供电，电源模块的外部输入电压设定为 6 V。SPIROC2E 的工作电压为 3.3 V，直接使用 LDO 将 6 V 直流电压转换为 3.3 V 直流电压会存在功耗过高的问题。为此，DIF 板的电源模块选择通过串联一级低功耗的 DC/DC，将 6 V 外部输入电压转换为

4 V 直流电压后再输出到 LDO 的方式，将该部分功耗降低了约 74%。FPGA 对电源纹波要求较低，为了降低功耗，FPGA 所需的 1.0V、1.8V、2.5V 及 3.3V 直流电压均使用 DC/DC 提供。综合上述讨论，DIF 板电源设计方案如图 5-11 所示，其中 LTM4623、LTM4644 为 DC/DC，TPS7A54、TPS74401 为 LDO。

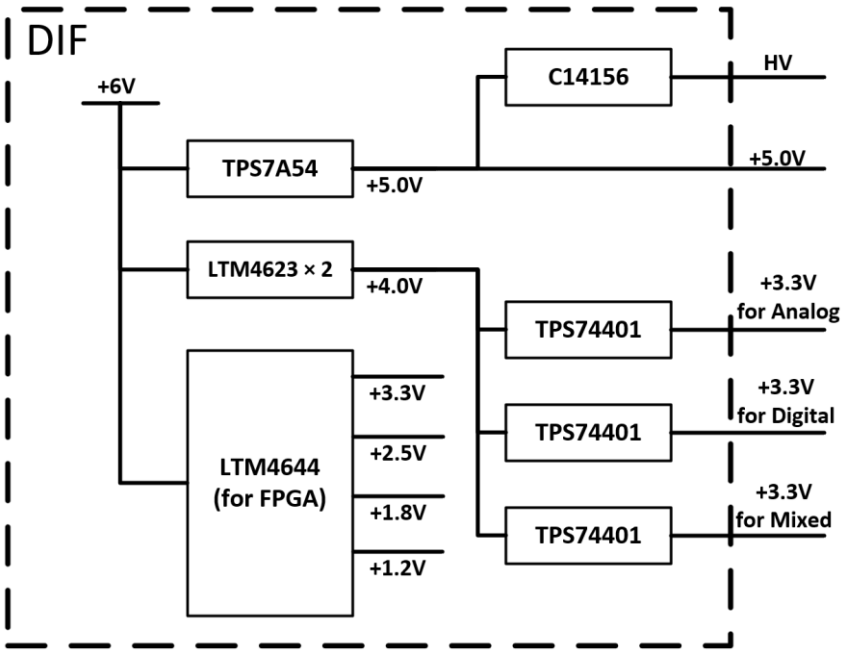


图 5-11 DIF 板电源设计方案

数据传输接口的设计需要在适配前文提出的数据传输方案的同时，尽可能提高样机集成度、降低系统实现的复杂度。现有同类型样机中使用 HDMI 接口进行数据传输，然而 HDMI 接口无法完成供电且体积较大，不利于提高电子学系统的集成度。USB Type-C 接口是近年来新兴的数据传输接口，由于其具备体积小、差分对资源丰富、数据传输速度快以及可用于大功率设备供电的优势，已经广泛地应用于工业界。根据各芯片的功耗，可以估算出 DIF 板的电流需求不超过 3 A，前文中给出了 DIF 板与 DAQ 板之间数据传输的比特率为 80 Mbps。相对应地，USB typeC 接口配合 USB 3.1 传输线可以实现的最高比特率为 5 Gbps，最大传输电流为 5 A，可同时满足 DIF 板数据传输和电流需求，因此数据接口部分选择使用 USB Type-C 替换掉现有样机的 HDMI 方案。基于前文确定的数据传输方法，上行信号线包括：数据（data）线、状态（busy）线以及温度数据（temperature）线，下行信号线包括：数据（data）线、触发（trigger）线以及时钟（clk）线。

由于在进行单板独立测试时，无法使用 DAQ 板的下行时钟和 USB-typeC 接口传输数据，DIF 板上还设计有向 FPGA 提供本地时钟的晶振和直接和计算机传输数据的 Mini-USB 接口。在多层 HBU 板联合测试时，会对 FPGA 的内部功能

作修改以屏蔽晶振时钟，与 Mini-USB 接口对应的功能模块也会相应地处于空闲状态。

基于 DIF 板的电路设计方案以及 DIF 板的基本功能，FPGA 的逻辑框图如图 5-12 所示。DIF 板在 HBU 板和 DAQ 板之间，起到数据接口的作用，按照自顶向下模块化设计思路，可以将 FPGA 逻辑功能大致划分为：与 DAQ 板通信接口（DAQ Interface）、内部逻辑功能（Internal logic）以及与 SPIROC2E 通信接口（SPIROC2E Interface）。

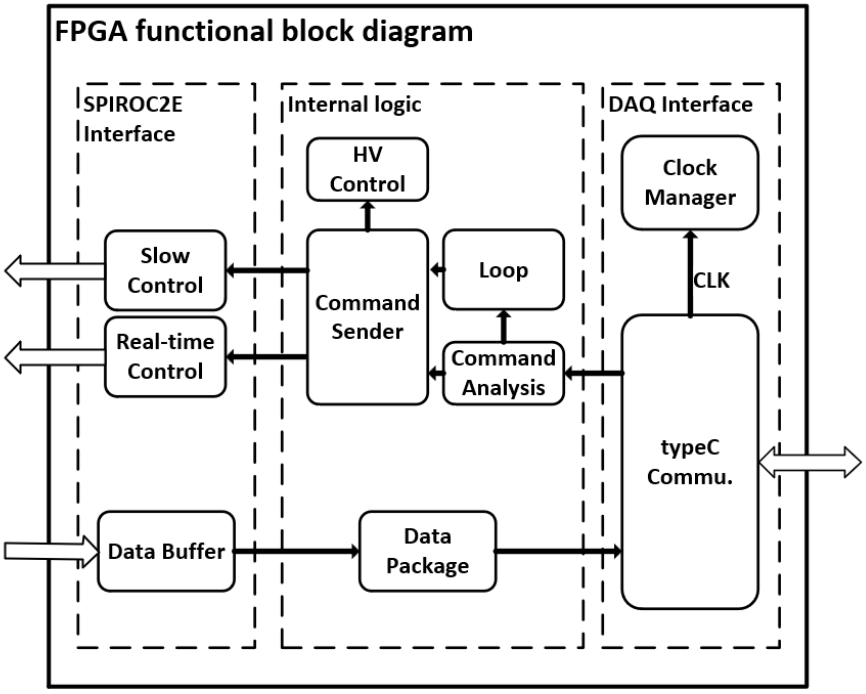


图 5-12 DIF 板 FPGA 逻辑框图

首先介绍 DAQ Interface 部分的设计工作。前文提到，为了提高 DAQ 板与 DIF 板数据通信的抗噪声能力，数据通信的物理层使用了交流耦合的 LVDS 方案，线上传输的数字信号均为经过 8B/10B 编码的电荷平衡码。因此，DAQ Interface 逻辑中设计了 typeC Commu.模块对上行数据编码，对下行数据作解码。为保证 40 层 DIF 板之间的时钟同步，FPGA 内部时钟处理模块（Clock Manager）以 DAQ 下行的时钟作为输入，并会对 typeC Commu.模块解出的特定编码做出响应，完成时钟同步操作。

Internal logic 部分的设计工作主要围绕 DIF 板、HBU 板上各个电路模块的控制以及 HBU 板的数据上传展开。CEPC AHCAL 样机的工作场景包括但不限于：宇宙线测试、束流测试、SPIROC2E 刻度、SiPM 刻度以及基线测试，不同场景要求 HBU 板上各个电路模块处在不同的工作状态，导致电路控制命令十分复杂。为了缩短 DIF 板新功能的实现时间，数据汇总系统的所有控制命令均存

储在服务器内，由 DAQ 板统一下发到所有 DIF 板，使得 FPGA 的逻辑功能与样机的工作场景解耦，从而降低 FPGA 逻辑复杂度。相对应地，FPGA 内部的命令解析模块（Command Analysis）、命令循环模块（Loop）以及命令发送模块（Command Sender）协同工作以实现对 DAQ 板下行命令的解析和对电路模块的控制操作。为了区分不同 SPIROC2E 的不同事例，科学数据会通过数据打包模块（data socket）的进行打包，在数据包内嵌入包头、包尾和触发号。

SPIROC2E Interface 模块则是利用 FPGA 丰富的输入输出接口资源，实现并行数据和串行数据的相互转换，进而达到 FPGA 和电路模块协同工作的目的。由于 CEPC AHCAL 在进入数据采集前后，对于电路模块的控制的时效性要求不同，FPGA 逻辑设计相对应地分为慢控制（Slow Control）和实时控制（Real-time Control）。SPIROC2E 输出的数字信号均为串行数据且为格雷码，无法直接进入 data socket 模块打包上传，因此在 FPGA 内部设计有数据缓存模块（Data Buffer）对 SPIROC2E 的数据完成解码以及串并转换操作。

基于 DIF 板的设计工作，本文完成了 DIF 板的电路实现，其实物照片如图 5-13 所示。

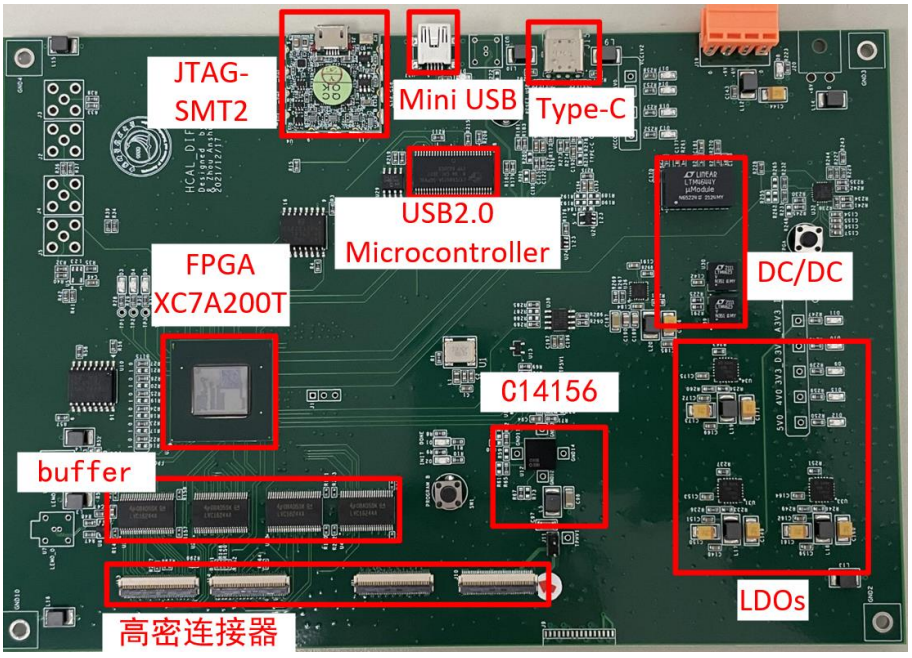


图 5-13 DIF 板照片

5.2.2 数据汇总板设计与实现

在 CEPC AHCAL 样机的数据获取电子学系统中，DAQ 板位于 DIF 板和服务器之间，起到数据汇总和事例对齐的功能，下面将具体介绍 DAQ 板的设计工作。

面向 CEPC AHCAL 样机电子学系统高度定制化的应用场景，以及紧迫的研发时间。FPGA 的开发周期短、适用性广并且输入输出端口资源丰富，是 DAQ 板核心器件的首选。以 FPGA 为核心器件，结合前文的方法研究工作，本文完成了 DAQ 板的电路设计工作，具体设计方案如图 5-14 所示，下面将具体介绍不同电路模块的设计目的及设计方法。

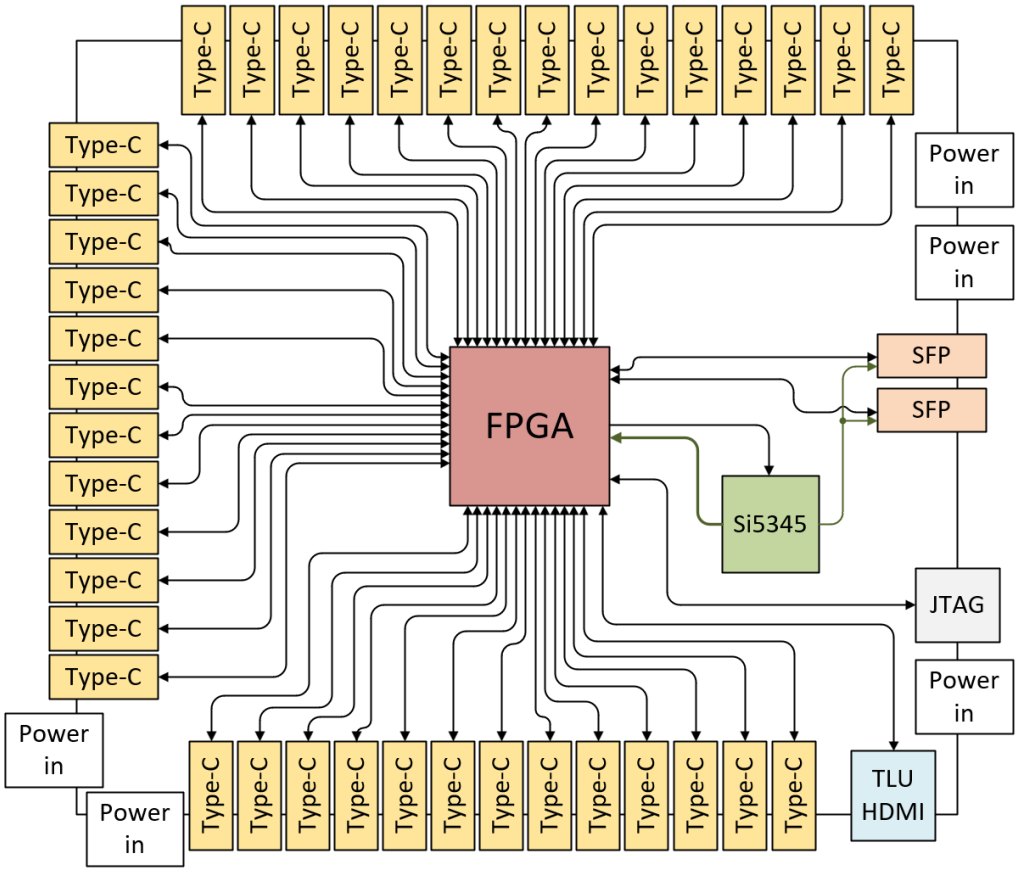


图 5-14 DAQ 板电路设计方案

由于 CEPC AHCAL 系统庞大，工作组希望 DAQ 板的硬件设计在满足 CEPC AHCAL 样机需求的同时，能够兼容 ATLAS 升级项目所使用的 FELIX 通用读出系统。为此，DAQ 板上 FPGA 的时钟设计部分引入了时钟抖动消除器 Si5345，用于产生 FPGA 所需的不同频率时钟，其中包括：8 MHz、16 MHz、40 MHz、80 MHz、200 MHz 以及 125 MHz。

在数据接口的设计部分，DAQ 板需要与 40 层 DIF 板进行数据传输，因此 DAQ 板上分布有 40 个 USB Type-C 接口模块。为了减少对 FPGA 输入输出端口资源的消耗，DAQ 板与 DIF 板之间的差分信号会在 USB Type-C 模块处转换为单端信号。

DAQ 中缓存的科学数据最终需要上传到服务器中稳定保存，以 3 kHz 最大事例率估算，40 层同时上传的最大比特率约为 120 MBps，然而在束流测试中大

部分通道都不会被击中，实际的最大比特率需求不可能高于 100 MBps。考虑到信号传输距离和线缆自身的可靠性，DAQ 选择使用千兆以太网与服务器通信，信号传输线选择七类网线。由于 FELIX 系统要求 DAQ 板通过多模光纤与更上一级的板卡建立通信，为了在硬件上保留兼容 FELIX 系统的能力，DAQ 板与服务器通信的物理接口选择使用小型热插拔收发器（Small form-factor pluggable transceiver, SFP）。SFP 有多种不同的发送和接受类型，支持同步光纤网络和千兆以太网协议，可以在不重新设计 DAQ 板的条件下，根据需求切换 SFP 收发器。此外，为了提高电子学系统的稳定性，SPIROC2E 采集的科学数据和样机监测数据（温度数据、前端板电流数据）会分别独立上传至服务器和计算机中独立保存，因此 DAQ 板上留有两个独立的 SFP 接口。

由于 CEPC AHCAL 样机必须具备与其他探测器联合工作的能力，DAQ 板上留有与 TLU 相匹配的 HDMI 接口，用于获取 TLU 下发的时钟、触发以及触发号。TLU 下发的时钟会被输出到 Si5345 的输入端，作为其输出时钟的参考，以保证与其他探测器系统的时钟同步。

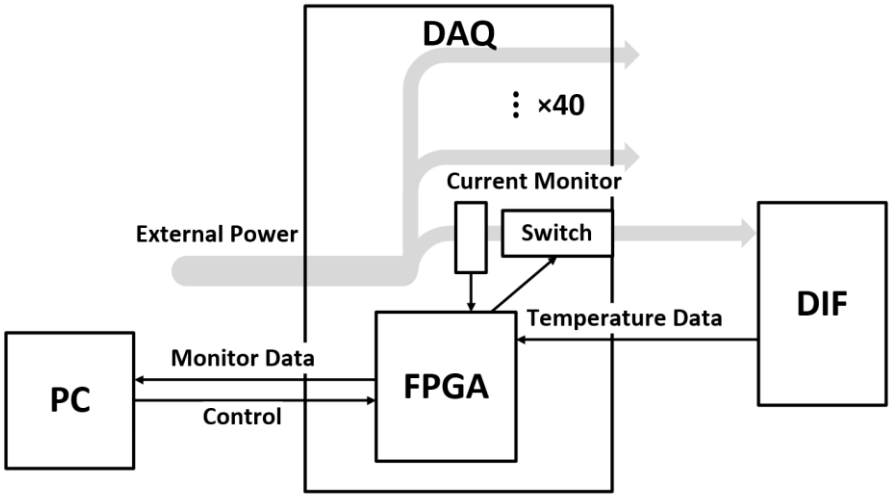


图 5-15 DAQ 板监控 DIF 板工作状态设计方案

为了引入前端板的过流保护和过热保护功能，以提高 CEPC AHCAL 样机的鲁棒性，数据汇总系统中设计了如图 5-15 所示的 DIF 板监控方案。外部电源的供电平面会在 DAQ 板处被分为 40 条不同供电路径，从而通过对应电流监测模块（Current Monitor）获取对应 DIF 板的工作电流。电流数据和温度数据会通过 DAQ 板处 FPGA 打包上传至计算机，当某层 DIF 板的工作电流或工作温度异常，计算机会主动下发断电命令至 DAQ 板，FPGA 通过控制相对应的开关电路（Switch）以切断对应 DIF 板的供电。

结合 DAQ 板的电路设计方案和及其功能需求，DAQ 板 FPGA 的逻辑功能

框图如图 5-16 所示。按照自顶向下的模块化设计思路，可以将 FPGA 的逻辑功能大致分为 4 个组成部分：TLU 通信接口（TLU Interface）、DIF 板通信接口（DIF Interface）、内部逻辑功能（Internal Logic）以及上行通信接口（Uplink Interface）。

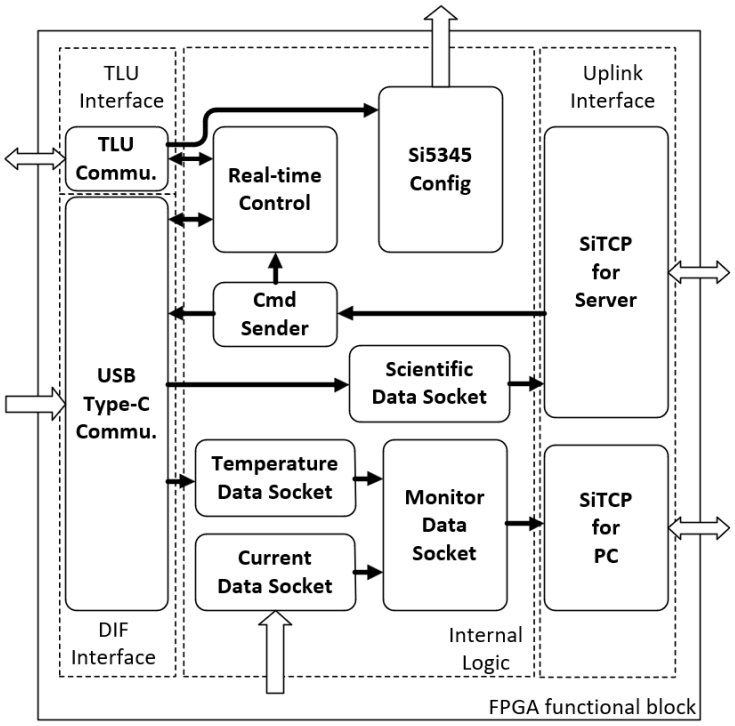


图 5-16 DAQ 板 FPGA 逻辑功能框图

由于 CEPC AHCAL 样机必须具备与其他探测器系统完成事例对齐的能力，DAQ 板 FPGA 的逻辑设计引入了 TLU 通信模块（TLU Commu.）以获取 TLU 输出的时钟、触发以及触发号。为保证样机与其他探测器的时钟同步，Si5345 配置模块（Si5345 Config）以 TLU 的时钟作为参考时钟输出到 Si5345 的接收端。

由于 DAQ 板与 DIF 板之间数据通信的物理层使用了交流耦合的 LVDS 方案，线上传输的数字信号均为经过 8B/10B 编码的电荷平衡码。因此，DIF Interface 部分中设计了 USB TypeC Commu.模块对 40 层 DIF 板的上行数据解码，对 DAQ 板下行到 DIF 板的数据作编码。

Internal Logic 部分设计工作主要围绕 HBU 板工作状态的协调控制、服务器下行命令的解析下发、DIF 板上行数据的打包上传、以及监测数据的上传展开。为了控制样机内部 40 层 HBU 板同时进入或退出数据采集状态，Internal Logic 部分设计了实时控制模块（Real-time Control）根据 DIF 板上传的 busy 状态码实时下发进入采数命令（0x0100）或退出采数命令（0x0200）。此外，为了保证样机与其他探测器系统联合工作时的状态同步，Real-time Control 模块会通过 TLU

Commu.模块上行样机整体工作状态信号至 TLU。

由于样机的工作场景较为复杂，且不同场景所需的控制命令的要求也不相同，数据汇总系统中所有的控制命令统一存储在服务器中，以缩短硬件开发周期。控制命令通过以太网下发到 DAQ 板，DAQ 板通过命令下发模块（Cmd Sender）指向到特定的 DIF 板接口后，连续下发控制命令。

当 HBU 板工作异常时，DAQ 板无法获取其科学数据，进而导致无法确定 HBU 板是否过流或过热。为了提高系统鲁棒性，科学数据和监测数据需要从不同的数据链路上传到的不同的存储介质中进行存储，因此 FPGA 内部设计了相互独立的两个以太网接口：服务器以太网接口（SiTCP for Server）和计算机以太网接口（SiTCP for PC）。基于此，DIF 板上传的温度数据和 DAQ 板本地获取的电流数据会单独打包，经由 SiTCP for PC 模块上传至计算机中保存，当出现过流或过热时，计算机会主动下发断电命令，从而实现对 HBU 板过流保护和过热保护。

基于上述设计内容 DAQ 板的实现结果如图 5-17 所示。

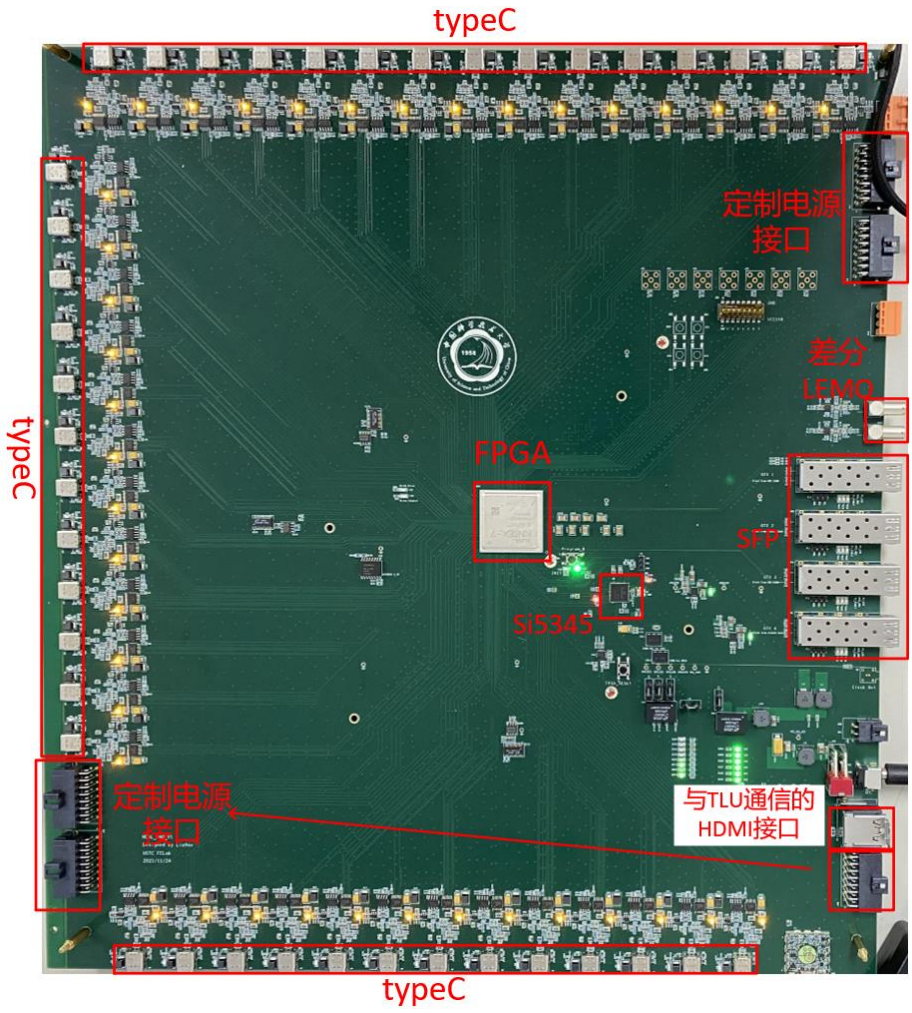


图 5-17 DAQ 板照片

5.3 读出电子学系统整体宇宙线测试

为了在将电子学系统组装到样机的机械结构前，对读出电子学系统进行功能验证，本文基于 40 层 HBU 板、40 块 DIF 板以及 1 块 DAQ 板，实现了宇宙线测试平台。宇宙线测试平台如图 5-18 所示，40 层 HBU 板叠放在铝制框架上，最上方的 HBU 板和最下方的 HBU 板的击中信号相符合后作为触发信号扇出到所有 HBU 板。

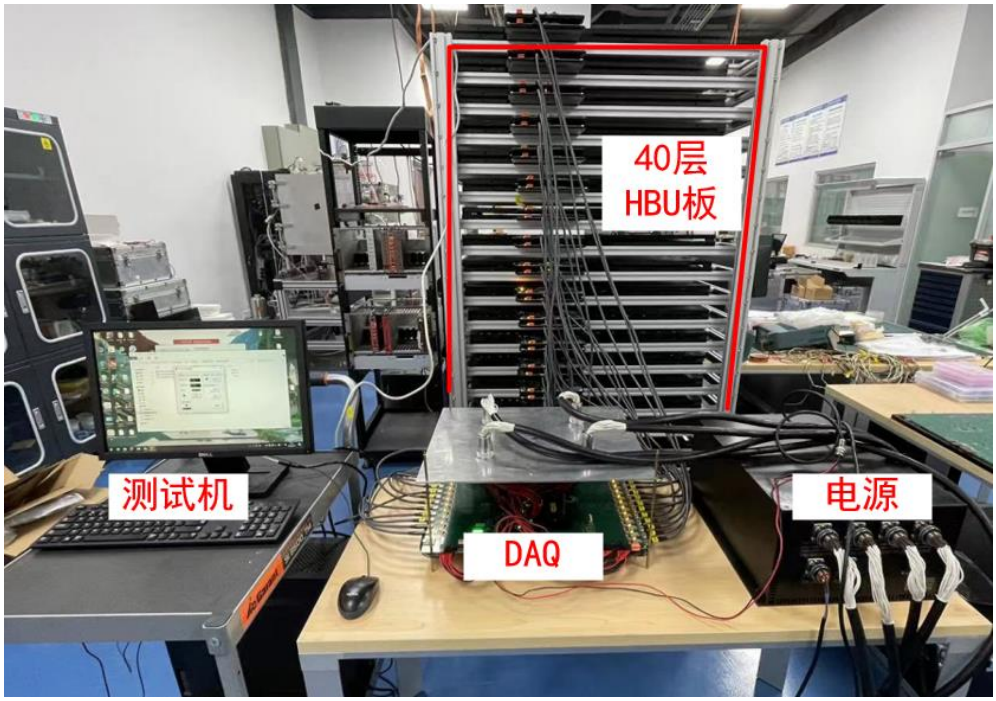


图 5-18 40 层 HBU 板宇宙线测试平台

数据传输电路的性能可以依靠通信误码率进行判断，基于宇宙线测试平台，我们进行了误码测试。测试方案为使用 DAQ 板持续以最高数据率下发递增 16 进制有效数据，DIF 板接收并再次上行所接收到的数据，最终通过 DAQ 板上传到服务器中。测试结果为：在长度为 10^{16} bit 数据包内，没有出现误码，可以认为该传输电路误码率低于 10^{-15}，置信度 99.997%，与单板误码测试结果相符。误码率较低的原因是比特率远低于物理层所能达到的极限，并且使用了交流 LVDS 耦合以及 8B/10B 编码办法提高了传输链路的抗共模噪声能力。

40 层 HBU 板的基线测试结果如图 5-19 所示，基线总体在 400 ADC code 附近，与单板测试结果相符。对 40 层 HBU 板的 360 片 SPIROC2E 的增益刻度结果如图 5-20 所示，图中 Z 轴结果为高低增益比值，增益比值在 30 左右，与设定值相符。

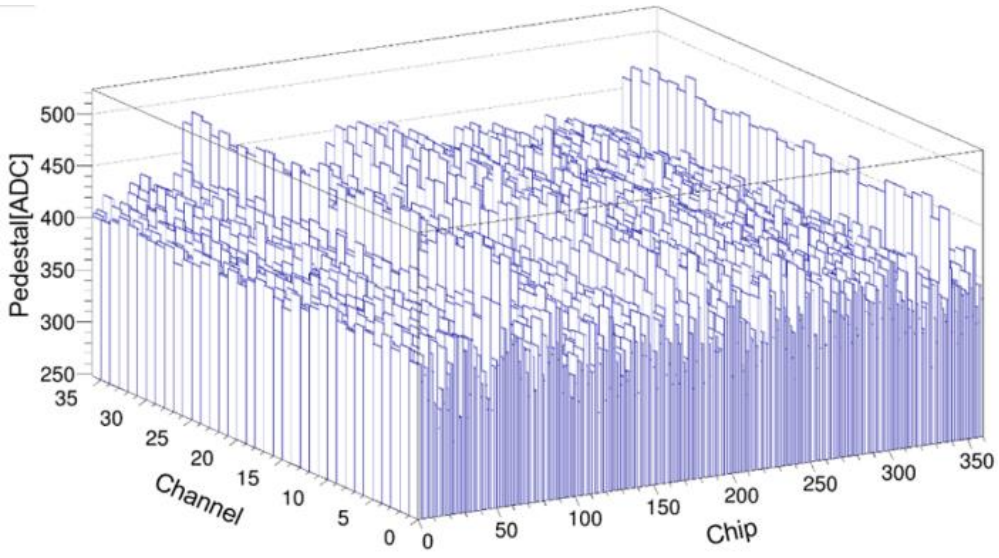


图 5-19 全通道基线统计结果

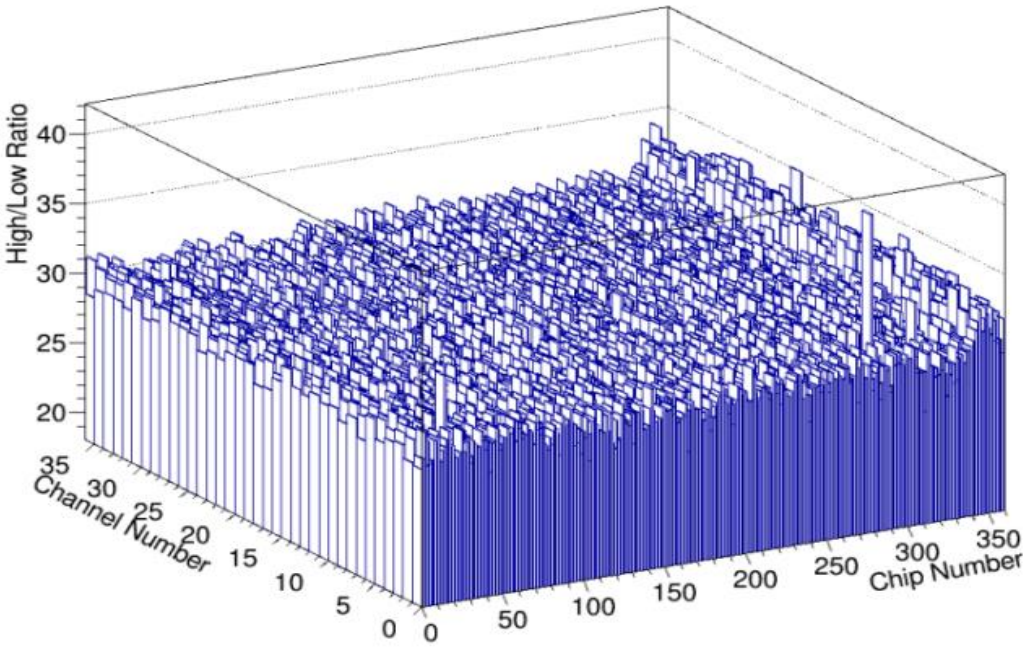
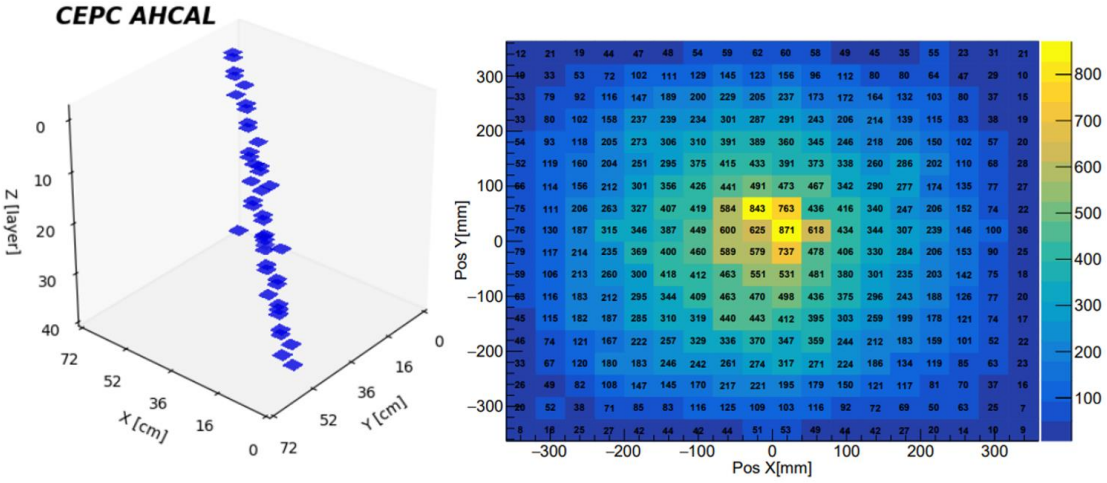


图 5-20 全通道高低增益通道增益比值

宇宙线径迹结果如图 5-21（a）所示，被击中单元用蓝色四边形加以标注，可以看到径迹为连续直线，这是因为宇宙线缪子几乎不发生簇射。图 5-21（b）为第 20 层 HBU 板的击中 map 图，可以看到中心位置事例较多，边缘位置击中事例较少，这是因为可以到达地面的宇宙线事例中以垂直水平面方向的事例为主。宇宙线径迹测试结果符合预期，并证明了数据获取电子学系统可以正常工作，并能够完成事例筛选和对齐。



(a)　　(b)

图 5-21 样机宇宙线径迹测试结果：(a) 宇宙线径迹结果；(b)第 20 层 HBU 板击中 map 图

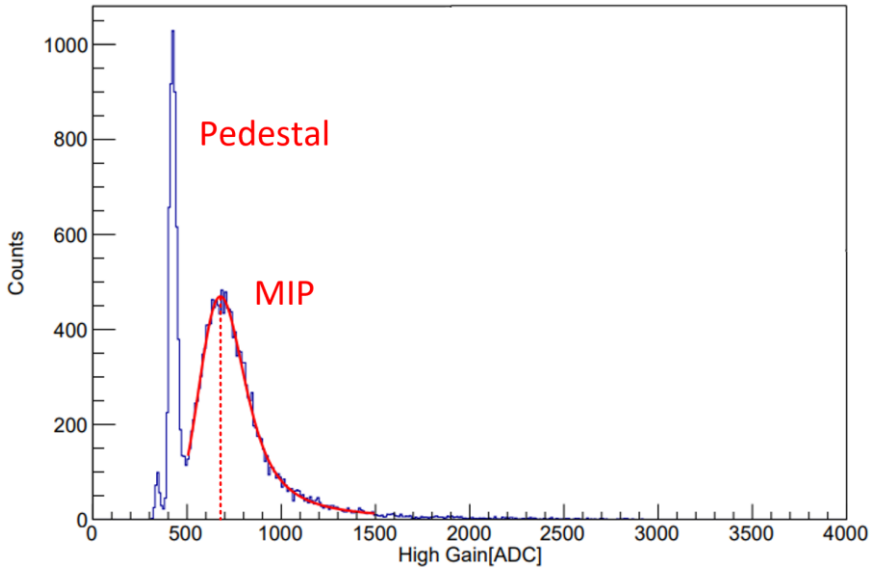


图 5-22 宇宙线测试 MIP 能谱

基于宇宙线测试可以得到 AHCAL 样机的 MIP 能谱，结果如图 5-22 所示，可以看到 MIP 能峰在 690 ADC code 左右，结合基线位置及其 RMS 值可以估计出当前电子学系统的信噪比好于 690 – 410 / 14 = 20，远高于分辨 MIP 能谱的需求。

40 层 HBU 板的宇宙线测试证明了读出电子学系统可以满足设计需求，可以将其组装到机械结构中，运往 CERN 开展进一步的束流测试。集成有 HBU 板和 DIF 板的铁盒被称为超层，40 层超层的集成到样机中的过程如图 5-23 所示。完成 DAQ 板的组装、电源的组装以及线缆的连接后，样机实物照片如图 5-24 所示。

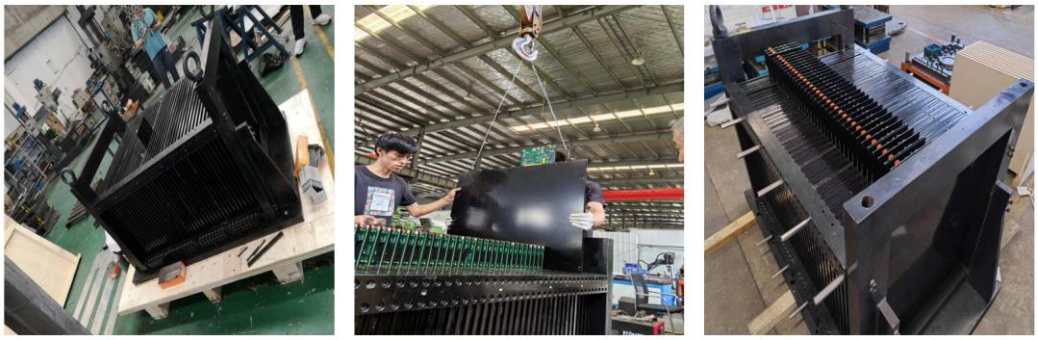


图 5-23 超层组装过程

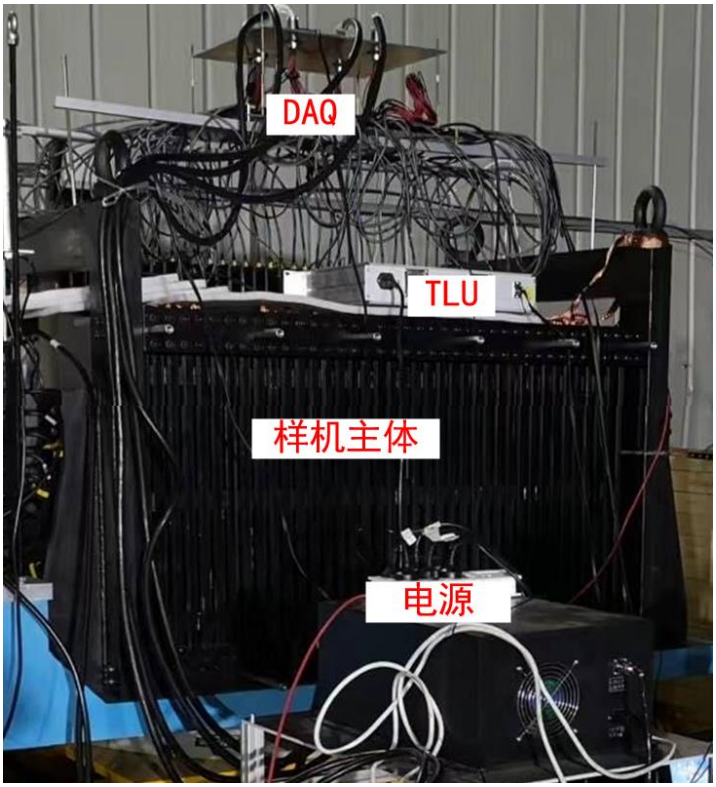


图 5-24 CEPC AHCAL 样机照片

5.4 本章小结

本章介绍了 HBU 板、DIF 板和 DAQ 板的具体设计方案。HBU 板包含 9 块 SPIROC2E，可以完成 324 通道 SiPM 的信号读出。DIF 板主要由 FPGA、电源模块、高压模块以及 typeC 通信接口组成，可以完成对 DAQ 下行命令的解析、对 HBU 板的实时控制以及对 HBU 板的供电。DAQ 板主要由 FPGA、电源模块、时钟模块以及 40 组 typeC 通信接口组成，可以完成对 DIF 板的供电、时钟扇出、命令下发以及数据获取。

基于上述设计方案，工作组实现了 129 块 sub-HBU 板、43 块 DIF 板和 2 块

DAQ 板，并对所有 sub-HBU 板开展了基线测试和 SPIROC2E 刻度测试，测试结果符合预期。进一步地，工作组实现了 40 层 HBU 板宇宙线测试平台，并获取了宇宙线缪子的径迹结果以及 MIP 能谱，验证了样机读出电子学系统的功能。在完成上述测试工作后，工作组完成了样机读出电子学系统的集成，使其具备开展束流测试的条件。

第6章 束流测试与数据分析

我们将 CEPC AHCAL 样机运往了 CERN，利用 SPS（Super Proton Synchrontron）以及 PS（Proton Synchrontron）两条束线进行了束流测试。测试一共开展了三次，每次为期两周，分别是：2022 年 10 月，使用 SPS H8 束线；2023 年 4 月到 5 月，使用 SPS H2 束线；2023 年 5 月，使用 PS T8 束线。

经过上万公里的长途空运和长达半年的停机断电存储，40 层 HBU 板在长达 42 天的束流窗口期内全部持续稳定工作并积累了大量的 Muon、正负电子以及正负 Pion 事例。

利用 Muon 粒子数据，我们完成了样机的逐通道刻度，通过刻度结果可以完成样机的事例重建。利用 Pion 数据可以得到样机在 10 ~ 80 GeV 范围内的能量分辨率和能量线性。

6.1 束流测试

束流测试平台如图 6-1 所示，配备了移动平台便于对样机进行移动，使得束流可以准确击中样机灵敏区，同时也为逐通道的 MIP 刻度创造条件。束流测试平台的研制工作于 2022 年 9 月在国内完成，9 月底通过空运发往瑞士日内瓦机场，于当地时间 2022 年 10 月 14 日正式抵达 CERN。



图 6-1 束流测试平台照片

6.1.1 SPS H8C 束流实验

下面将按照时间顺序依次介绍在 CERN 开展的三次束流实验。SPS 建于 20 世纪 70 年代，是当时世界上最大的粒子加速器，目前的主要功能是为 LHC 和其他装置提供高能质子和重离子束流[100]。前两次的束流测试的实验区域为 SPS 北部实验区的 EHN1 大厅，其布局如图 6-2[101]所示，依次使用到了其中的 H8C 和 H2A 束线。

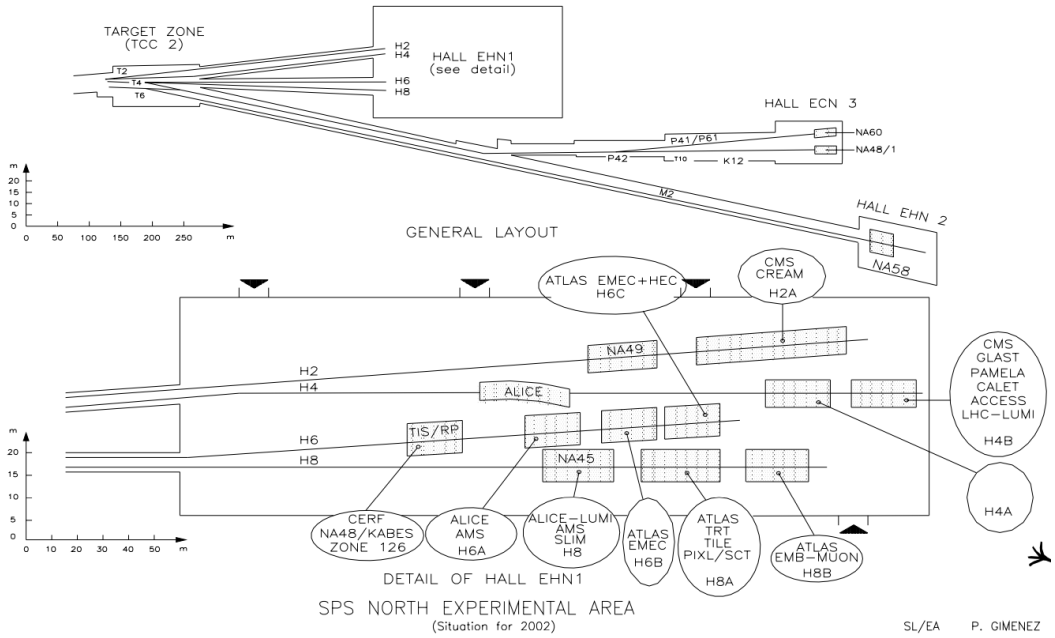


图 6-2 EHN1 大厅布局[101]

在 SPS H8C 的测试方案如下图所示，依次是两个用于散射束流产生次级粒子的靶，用于屏蔽本底的铅块，用于判断粒子种类的切伦科夫探测器，用于产生触发信号的闪烁体望远镜以及 CEPC AHCAL 样机。

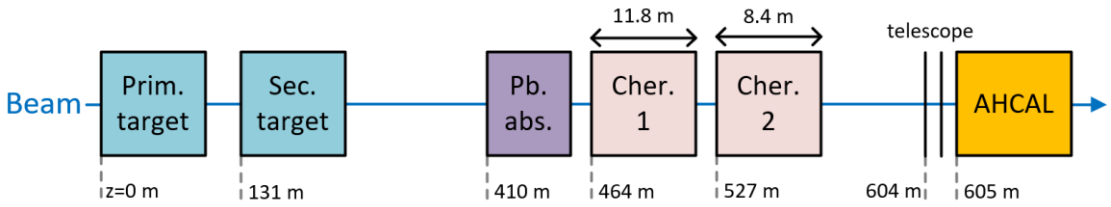
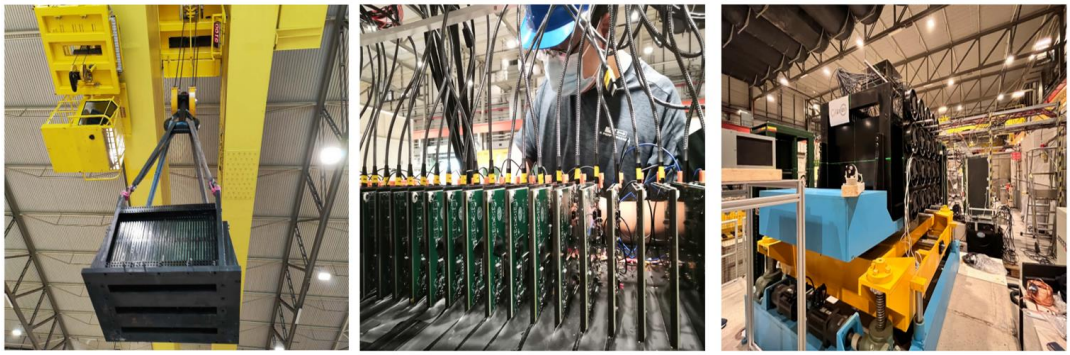


图 6-3 SPS H8C 测试方案

由于样机体积较大，我们借助了 CERN 的吊装平台将样机主体搬运到测试位置，在搬运完成后再完成 DAQ 和电源的安装以及通信线缆和供电线缆的连接，具体过程如下图所示。



(a)　　(b)　　(c)

图 6-4 SPS H8C 测试准备。(a) 样机主体吊装；(b) 线缆连接；(c) 安装完成，准备测试

当地时间 2022 年 10 月 19 日，我们正式开始了第一次束流测试，束流测试时间共计两周，第一周对 AHCAL 样机做单独测试，第二周将 CEPC 闪烁体钨电磁量能器样机（Scintillator tungsten Electromagnetic CALorimeter, ScW-ECAL）吊装到 AHCAL 样机前放，进行联合测试。

由于 Muon 粒子具有良好的穿透性[102]，Muon 粒子测试起到检验 AHCAL 样机每一层的工作状态和全通道 MIP 能谱刻度的关键作用，因此我们首先开展了 Muon 粒子的事例积累工作。我们在第一周的时间内积累了约 1000 万 160 GeV 的 Muon 事例，但是由于无法对位移平台通电，加之束斑大小十分有限，我们只获得了样机取样层中央位置部分通道的 MIP 能谱刻度结果，Muon 粒子击中位置分布如下图所示。

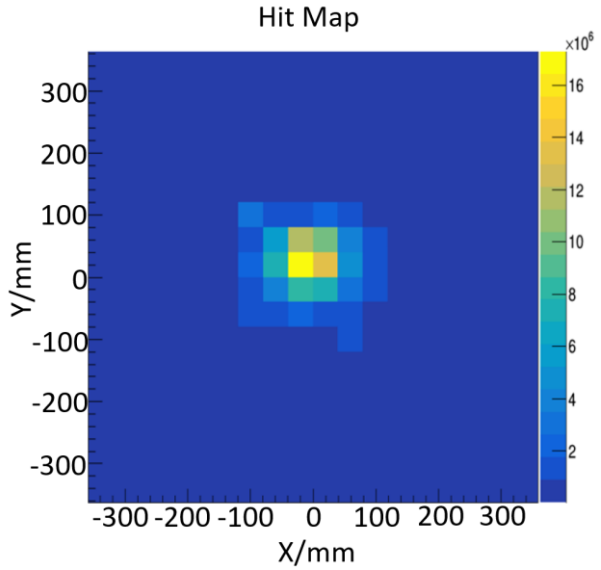


图 6-5 SPS H8C Muon 粒子事例击中分布[101]

在完成 Muon 测试后，我们继续推荐束流测试进度，采集了e^+和π^+粒子事例。e^+粒子的事例积累分为 8 个能量点，从 10 GeV 到 80 GeV 间隔 10 GeV，每

个能量点积累了 2 万个事例。π^+粒子的事例积累分为 11 个能量点，从 10 GeV 到 100 GeV 间隔 10 GeV，以及 120 GeV，每个能量点积累了 1 万到 2 万个事例。

6.1.2 SPS H2A 束流实验

通过第一次束流实验积累了一定的经验，我们于当地时间 2023 年 4 月 24 日，在 SPS H2A 束线开始第二次束流实验，下图为样机的吊装和位置校准过程。



(a)　　(b)

图 6-6 SPS H2A 测试准备。(a) 样机吊装；(b) 样机位置校准

SPS H2A 束线处有 CERN 提供的位移平台（图 6-7），该位移平台可以实现大范围水平方向和竖直方向的移动，并且平台面积足够放置 CEPC AHCAL 样机。



图 6-7 SPS H2A 现场的位移平台

同时使用该位移平台和图 6-1 中的移动平台，我们实现了 Muon 粒子事例的全通道积累，部分 Muon 事例的击中分布如图 6-8 所示，图中高亮位置即为当前的束流入射位置。

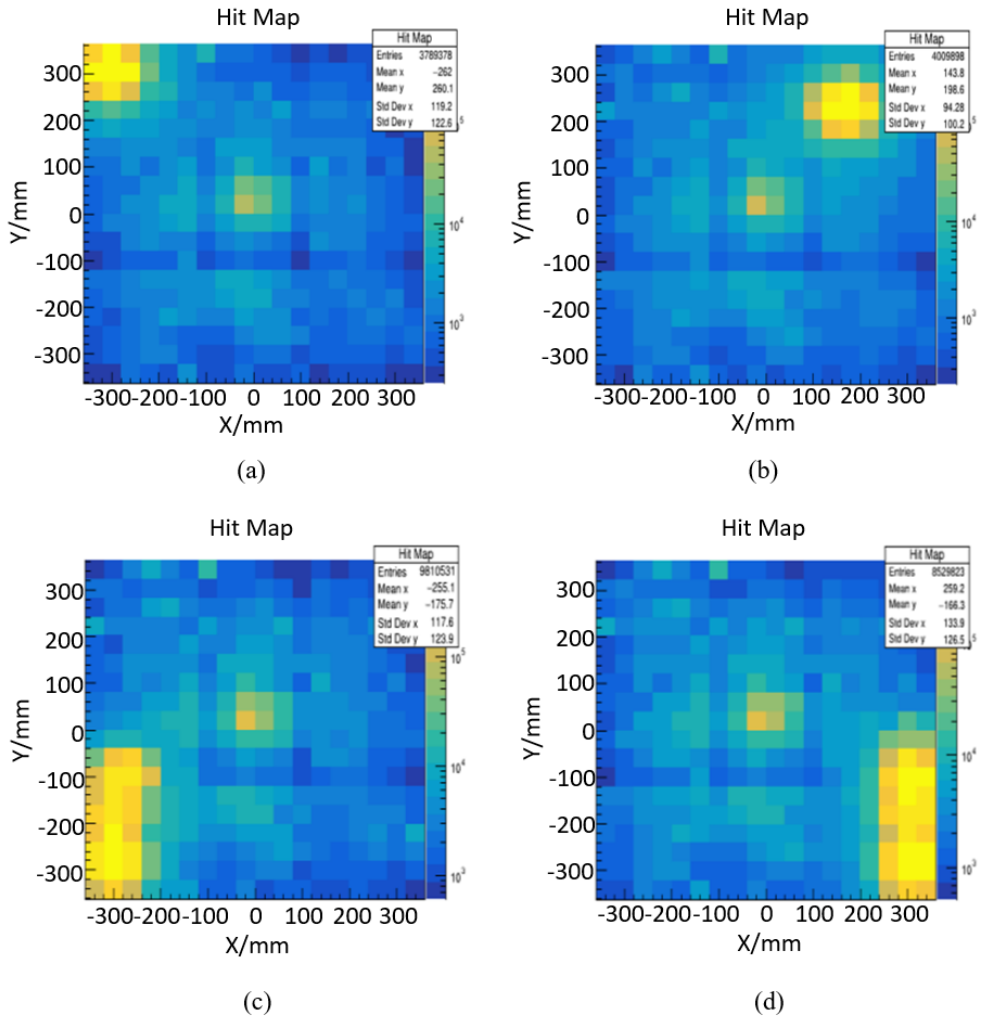


图 6-8 SPS H2A 处利用位移平台控制束流入射位置，实现全通道 Muon 事例积累，其中束流入射位置分别为：(a) 左上；(b) 右上；(c) 左下；(d) 右下

在完成 Muon 测试后，我们还在 H2A 束线采集了e^-和π^-粒子事例。我们在 10 GeV、15 GeV、20 GeV、30 GeV、40 GeV、50 GeV、60 GeV、70 GeV、80 GeV、100 GeV、120 GeV、150 GeV、200 GeV、250 GeV 以及 350 GeV 这 15 个能量点分别总共采集了 450 万e^-事例和 2000 万π^-事例。由于此次束流实验进度较为理想，我们还额外采集了约 100 万 350 GeV 的质子事例。

在 H2A 束线的窗口期结束后，我们将样机及测试设备打包装箱，运往 PS 的 T9 束线准备下一轮的束流测试。

6.1.3 PS T9 束流实验

PS 于 1959 年 11 月 24 日首次加速质子，并成为当时世界上能量最高的粒子加速器，现在主要用于为新机器提供粒子[103] [104]。相较于 SPS，PS 可以在低能区提供更丰富的粒子，这是我们前往 PS T9 的重要原因。PS 东部实验厅的部分

布局如图 6-9[105]所示，我们的主要实验区域为图中的紫色部分。

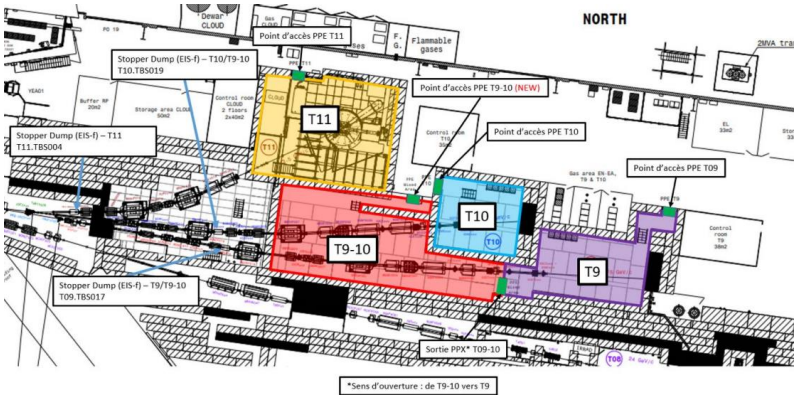


图 6-9 PS 东部实验厅布局图[105]

PS T9 束线处的测试方案如图 6-10 所示，测试方案与 SPS 处的基本保持一致。最前端为用于产生次级粒子的靶（Target），可以通过调整靶的材料来获取所需次级粒子。在靶后方为切伦科夫探测器，用于初步粒子甄别。切伦科夫探测器后为望远镜（一对闪烁体块），当有粒子击中时，两块闪烁体会分别产生信号，经过符合后会送入样机作为触发信号。CEPC AHCAL 样机则位于最后的位置。图 6-11 为束流测试时，完成安装后的样机实物照片。

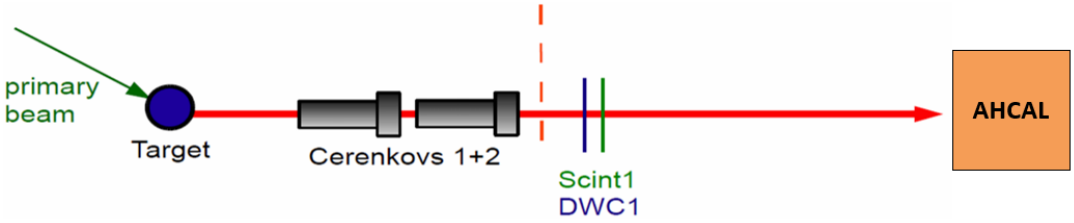


图 6-10 PS T9 束线测试方案



图 6-11 PS T9 样机测试平台照片

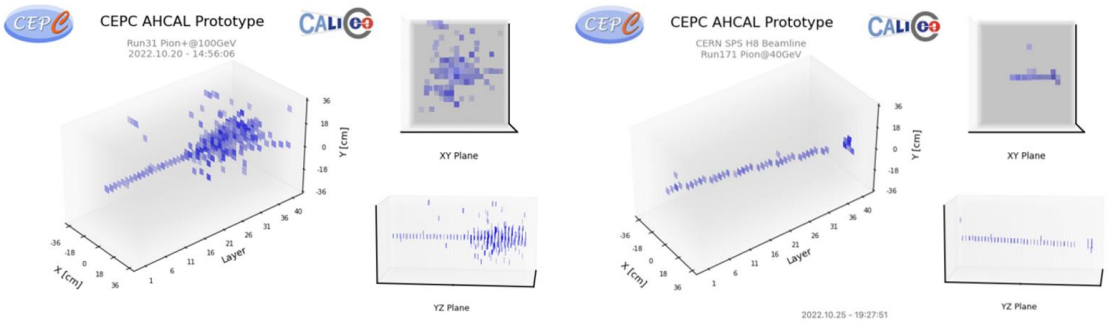
由于经过了打包运输和重新组装，为了检验样机的工作状态，我们首先利用 T9 束线进行了 Muon 测试，积累了约 200 万的 Muon 事例。在完成 Muon 测试后，我们分别积累了e^-和π^-粒子事例，在 0.5 GeV、1 GeV、2 GeV、3 GeV、4 GeV 和 5 GeV 这 6 个能量点一共积累了约 260 万的e^-粒子事例；在 1 GeV、2 GeV、3 GeV、4 GeV、5 GeV、6 GeV、7 GeV、8 GeV、10 GeV、12 GeV、15 GeV 这 11 个能量点一共积累了约 800 万π^-粒子事例。

6.2 数据分析

我们对束流实验积累的实验数据开展了离线分析工作，具体包括：径迹分析、逐通道刻度以及粒子能量重建，进而获得了 CEPC AHCAL 样机的性能表现。下文将详细介绍数据分析工作的具体过程和重建结果。

6.2.1 径迹测试结果

图 6-12（a）是 Pion 粒子垂直入射时的径迹测量结果，可以清晰地分辨出粒子发生簇射的位置。水平转动样机，使样机的取样层不垂直于束流出射方向，得到 Pion 斜入射径迹结果如图 6-12（b）所示。可以清晰地观察到径迹发生了偏移，说明数据获取系统可以将 40 层 HBU 板的事例对齐，满足设计需求。



(a)　　(b)

图 6-12 Pion 径迹：(a) 垂直入射；(b) 斜入射

图 6-13 为 Muon 测试时两个不同类型粒子同时入射的径迹测试结果，其中不发生簇射的为 Muon，而在第 12 层取样层发生簇射的则为 Pion*。该结果证明了样机可以通过径迹特征实现对粒子的区分，具备兼容 PFA 的能力。

*束线的粒子筛选功能效率不是 100%， muon 测试时也会采集到少量的 Pion

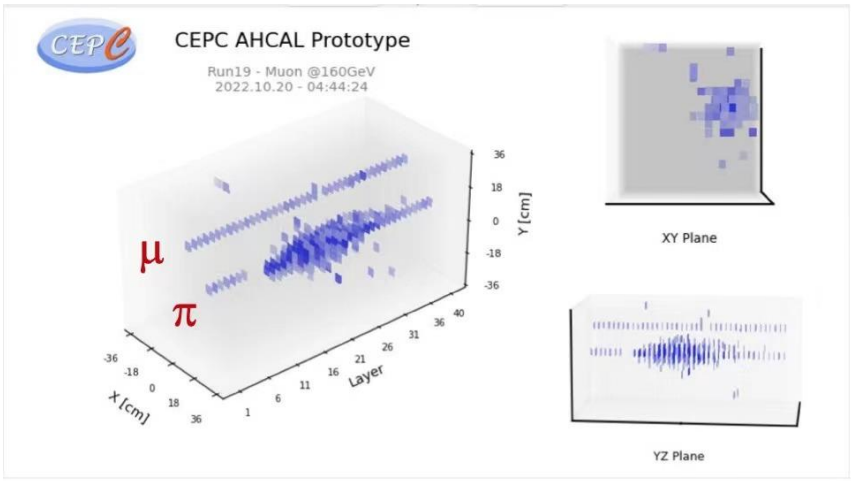


图 6-13 Muon 与 Pion 同时入射径迹结果

在束流测试期间，除了对 AHCAL 样机做单独测试外，工作组还完成了包含有 CEPC ScWECAL 样机在内的联合测试。联合测试平台的基本结构如图 6-14 所示，电磁量能器样机置于模拟强子量能器样机前放，两台样机的中心位置重合。

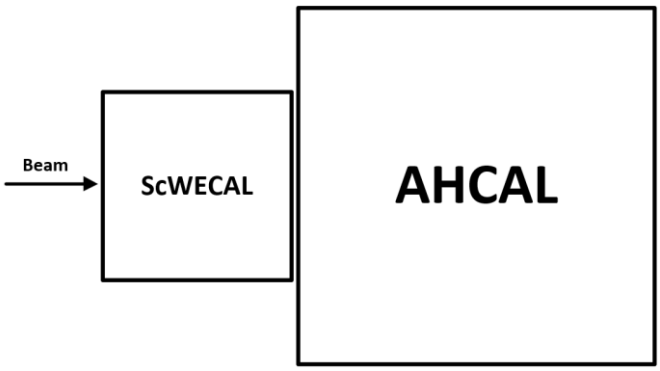
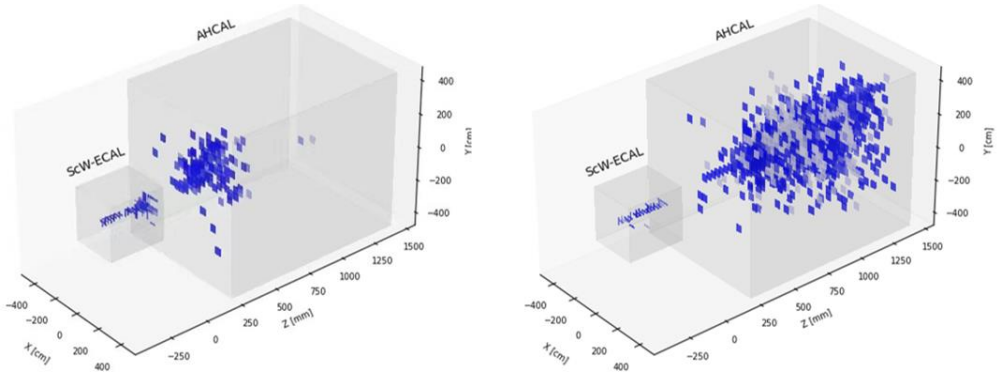


图 6-14 联合测试平台结构



(a)　　(b)

图 6-15 联合测试径迹重建结果：(a) 低能强子；(b) 高能强子

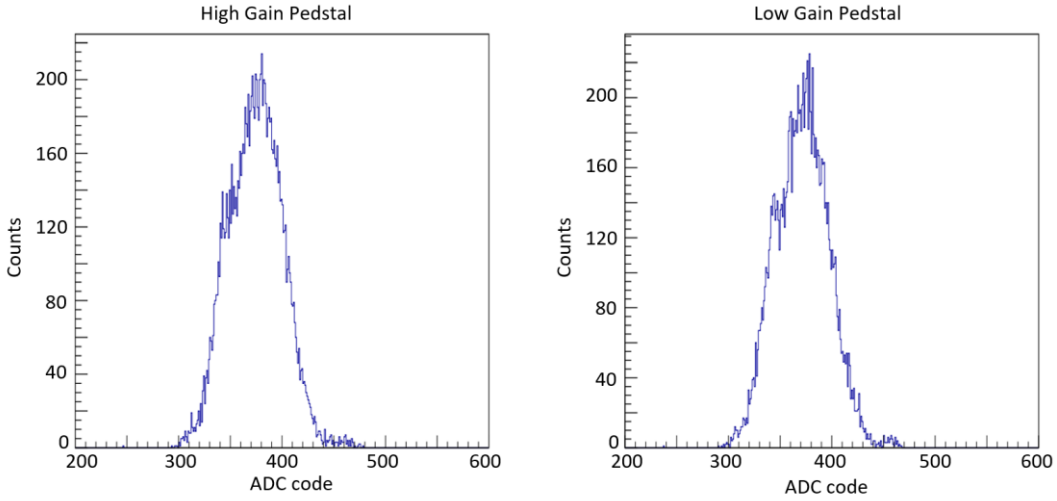
径迹测试结果如图 6-15 所示，从图中可以观察到不同入射粒子的簇射位置和发展情况不同，证明了 AHCAL 样机的数据获取电子学系统具备与外部探测器完成事例对齐的能力。

6.2.2 样机刻度结果

为了得到粒子在 CEPC AHCAL 样机中的沉积能量，需要对样机的台基、高低增益比以及 MIP 值进行刻度，根据这三者的刻度结果再结合式 5.1 可以得到每个取样单元沉积的能量。式 5.1 中E_i为第 i 个单元的沉积能量，单位为 MeV；HS_i是该通道的高增益信号 ADC 码值；P_i为该通道台基的 ADC 码值；SP_i为该通道高增益通道饱和位置的 ADC 码值；GR_i为该通道高低增益比。

$$E_i(MeV)=\begin{cases}\dfrac{HS_i(ADC)-P_i(ADC)}{C_i^{MIP}(ADC)}\times 0.461 & HS_i(ADC)-P_i(ADC)<SP_i(ADC)\\ \dfrac{HS_i(ADC)-P_i(ADC)}{C_i^{MIP}(ADC)}\times GR_i\times 0.461 & HS_i(ADC)-P_i(ADC)>SP_i(ADC)\end{cases} \tag{6.1}$$

台基测试的统计结果如图 6-16 所示，图 6-16（a）为高增益通道台基统计结果，图 6-16（b）为低增益通道统计结果，统计量为 12,960。



(a)　　(b)

图 6-16 基线测试结果：(a)高增益通道台基测试结果；(b) 低增益通道台基测试结果

将 2022 年获得台基结果与 2023 年获得的台基结果做差可以得到如图 6-17 所示的结果。两次测试时间间隔为半年，台基的位置变化仅为几个码值，台基的 RMS 变化基本在 1 以内，可以认为样机的台基十分稳定，几乎没有变化，这说明电子学系统经过半年的停机仍处在良好的工作状态。

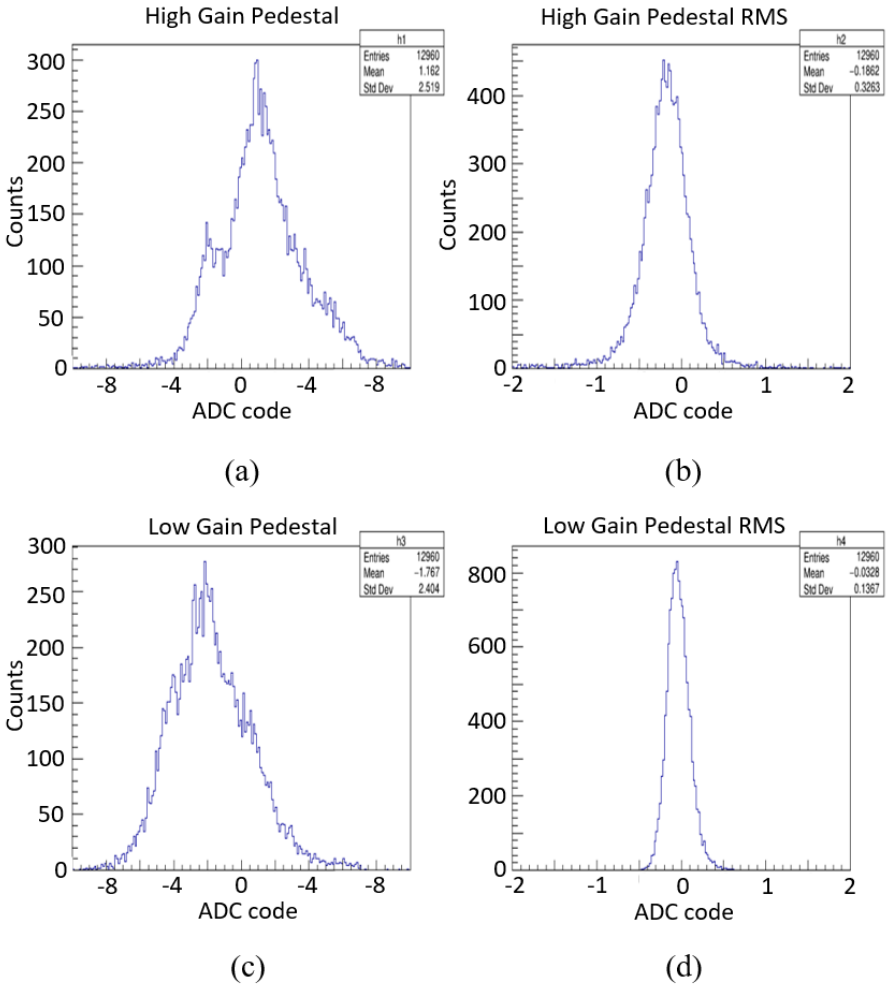


图 6-17 2022 年与 2023 年台基比较结果：(a) 高增益基线差值；(b) 高增益基线 RMS 差值；(c) 低增益基线差值；(d) 低增益基线 RMS 差值

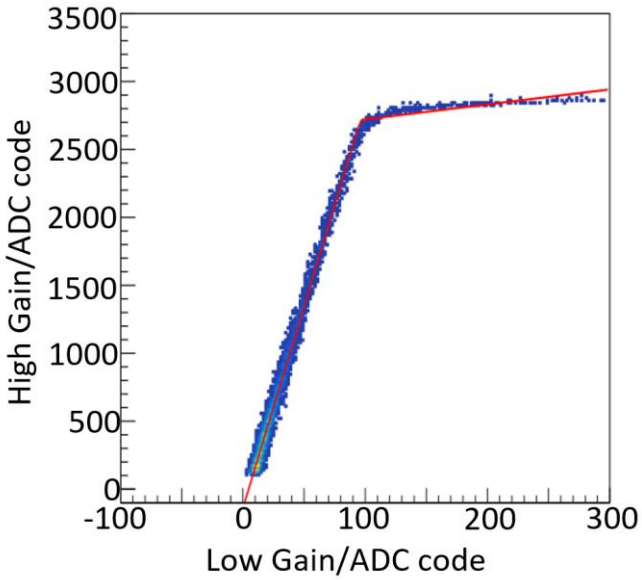


图 6-18 单通道高低增益分布

利用 Pion 测试可以获得高低增益通道的增益比值，以及高增益的饱和位置。以某个通道的低增益通道输出 ADC 码值为横轴，高增益通道输出 ADC 码值为纵轴可以得到如图 6-18 所示的分布结果。图 6-18 的前半部分可以用直线拟合，并且该直线的斜率可以表征该通道的高低增益比GR_i。随着输入信号幅度的提高，高增益输出码值趋于定制，这一点反应在图 6-18 的后半部分，此时图中纵坐标对应高增益饱和位置SP_i。

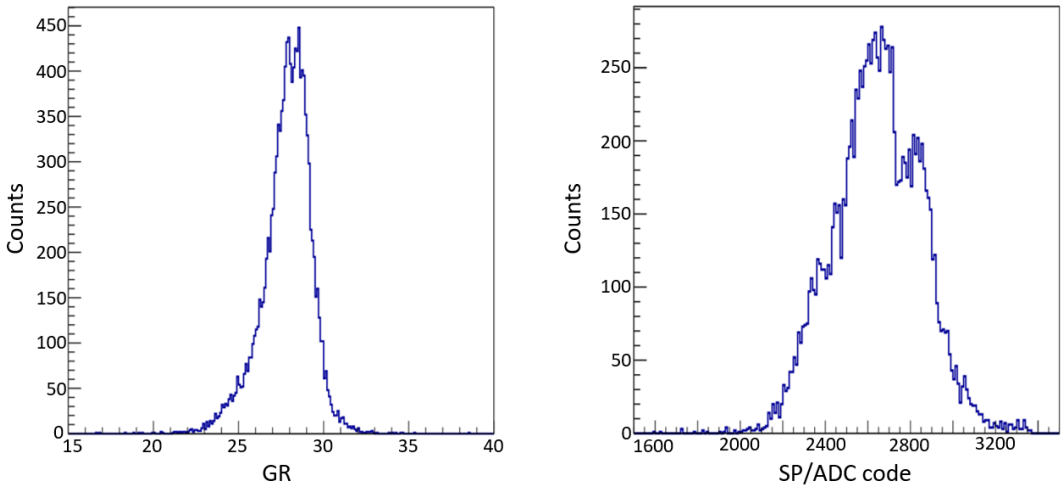


图 6-19 GR 与 SP 刻度结果：(a) GR 统计结果；(b) SP 统计结果

对样机所有通道使用上述方式进行分析可以得到如图 6-19 所示的高低增益比值GR和高增益饱和位置SP的统计结果。

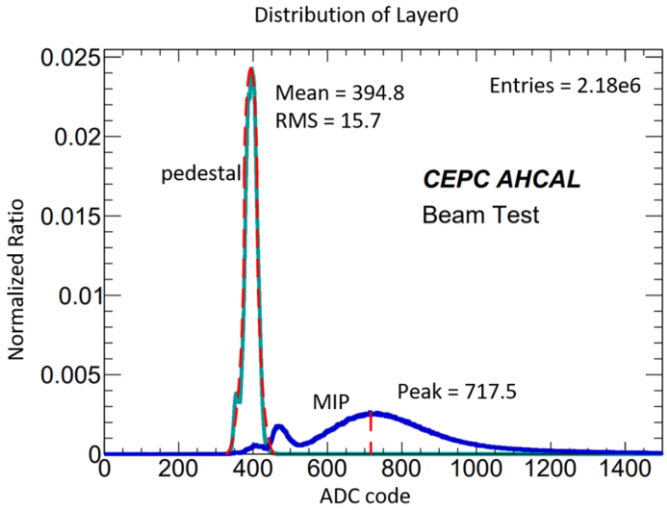


图 6-20 Muon 测试第一层 HBU 板 MIP 能谱

基于上述内容，只需要再完成逐通道的 MIP 能谱分析得到每个通道 MIP 能峰的最可几值（Maximum Possible Value, MPV）即可完成样机的刻度工作。图

6-20 给出了第一层（layer0）HBU 的 Muon 测试统计结果。输入事例总计数为 2.18×10^6，基线位置为 394.8 道，基线 RMS 值为 15.7 道，宇宙线 MIP 位置为 717.5 道。可以计算出信噪比为 SNR=（717.5-394.8）/15.7=20.6，信噪比结果说明读出电子学系统噪声对样机能量分辨率的影响可以忽略不记。类似地，可以获得图 6-21 所示的所有通道 MIP 能峰的 MPV 统计结果。结合基线、高低增益比值以及高增益饱和位置的测量结果，可以开展下一步的粒子重建工作。

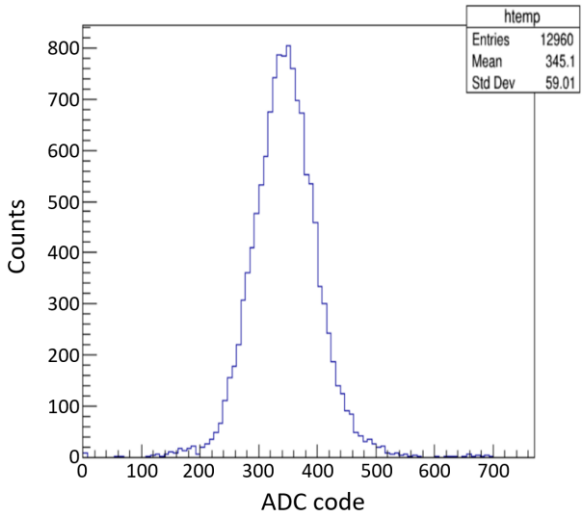


图 6-21 所有通道 MIP 能谱 MPV 统计结果

6.2.3 能量分辨率测试结果

基于刻度结果，样机对入射粒子的能量重建结果如图 6-22 所示。基于能量重建的结果，结合不同能量 Pion 的测试数据可以给出如图 6-23 所示的样机的能量分辨率结果。在不做 SiPM 增益离线修正的情况下，量能器样机的能量分辨率可以达到 $57.6\%/\sqrt{E_h}\oplus 2.3\%$，可以满足样机的能量分辨率设计指标。

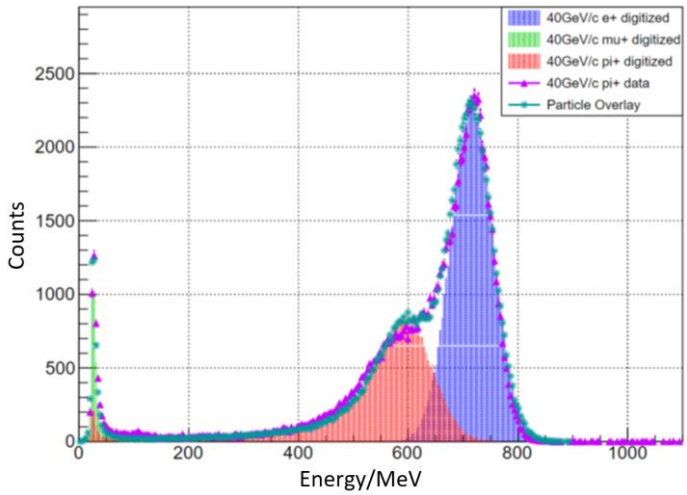


图 6-22 部分能量点的入射粒子能量重建结果

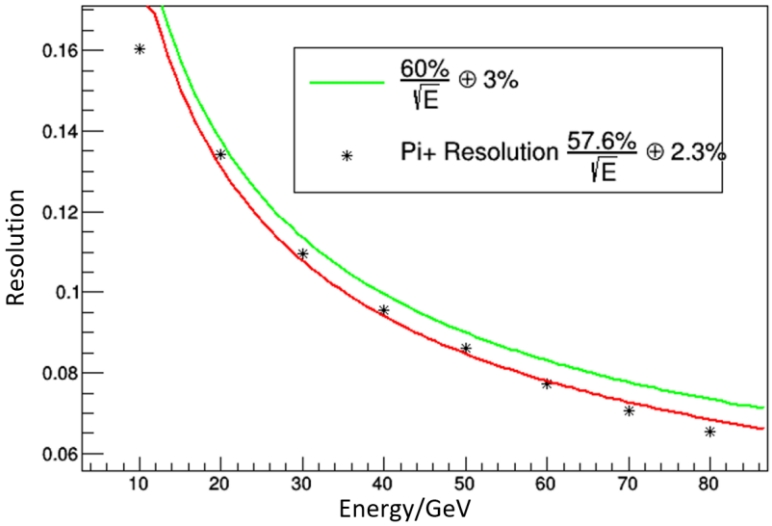


图 6-23 CEPC AHCAL 样机能量分辨率测试结果

目前 CALICE AHCAL 样机也完成了束流测试并得到了如图 6-24[106]所示的能量分辨率结果，图中黑线是不做 Pion 事例筛选得到的能量分辨率结果，红线和蓝线是做 Pion 事例筛选后得到的结果。从图中可以看出，在不做事例筛选的条件下，CALICE AHCAL 样机的能量分辨率为 $57.6\%/\sqrt{E_h} \oplus 1.6\%$，与 CEPC-AHCAL 样机基本持平。CEPC AHCAL 样机进行的束流测试时间少于 CALICE AHCAL，导致 CEPC AHCAL 样机部分通道的刻度数据不足，降低了测试得到的能量分辨率结果,如果能开展更充分的束流测试，有望得到更好的结果。

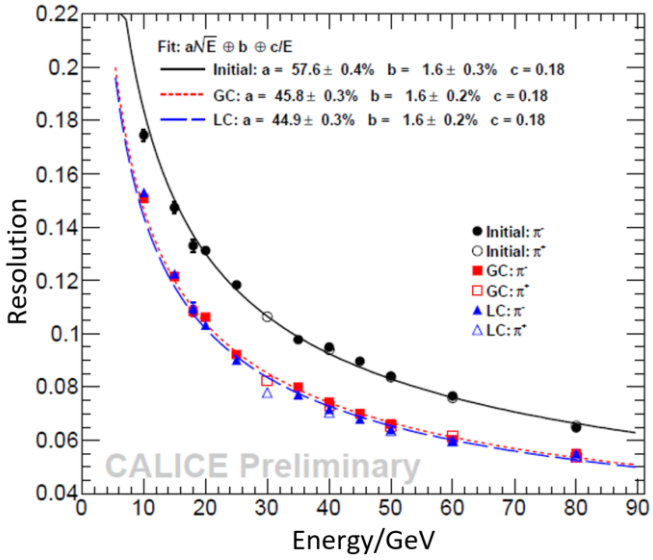


图 6-24 CALICE AHCAL 样机能量分辨率结果[106]

与 CALICE AHCAL 样机事例筛选做法类似地，从 CEPC AHCAL 样机的测试数据中筛选出 Pion 事例可以得到如图 6-25 所示的能量分辨率结果，可以看到能量分辨率提高到 $47.9\%/\sqrt{E_h} \oplus 4.7\%$。经过事例筛选后的能量分辨率与前文

中的模拟结果较为接近，说明样机基本参数的模拟工作和电子学系统研究工作是有效的，对于该技术路线的验证是可靠的。

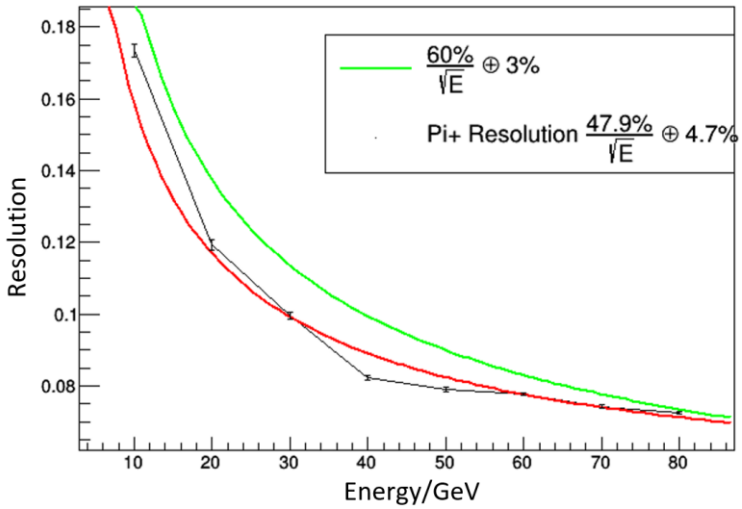


图 6-25 事例筛选后 CEPC AHCAL 样机能量分辨率结果

6.2.4 能量线性测试结果

如图 6-26 所示，利用束流测试结果可以给出重建能量线性结果，当 Pion 入射能量动态范围为 10 GeV 到 80 GeV 时，能量线性好于 1.5%，可以满足样机的设计指标。

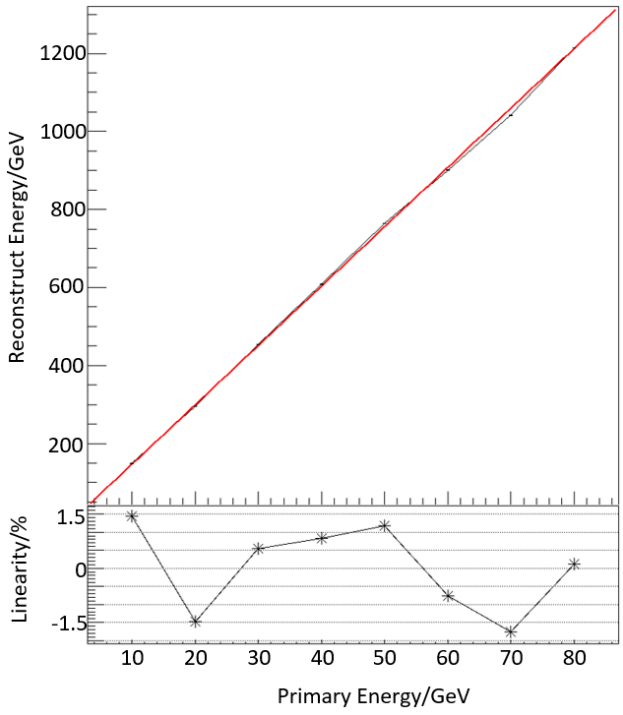


图 6-26 样机能量线性测试结果

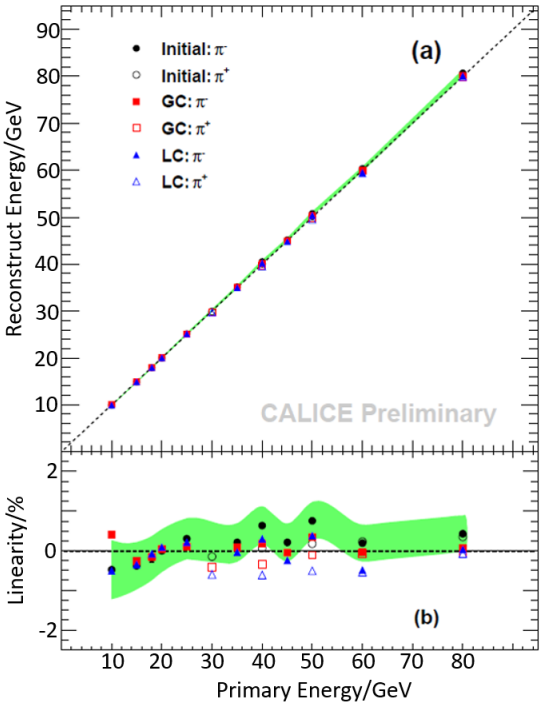


图 6-27 CALICE AHCAL 能量线性测试结果[106]

CALICE AHCAL 样机的能量线性结果如图 6-27[106]所示，可以看到 CALICE AHCAL 样机的能量线性在 2%以内，CEPC AHCAL 样机的能量线性与 CALICE AHCAL 基本持平。样机的能量线性测试结果说明本文提出的读出电子学系统可以长时间维持通道增益的稳定性，能够精确地测量入射粒子能量。

6.2.5 粒子重建修正结果

我们利用束流间隔，进行了多次全通道 SiPM 刻度，利用这些刻度数据可以修正 SiPM 增益不一致性对能量重建的影响。

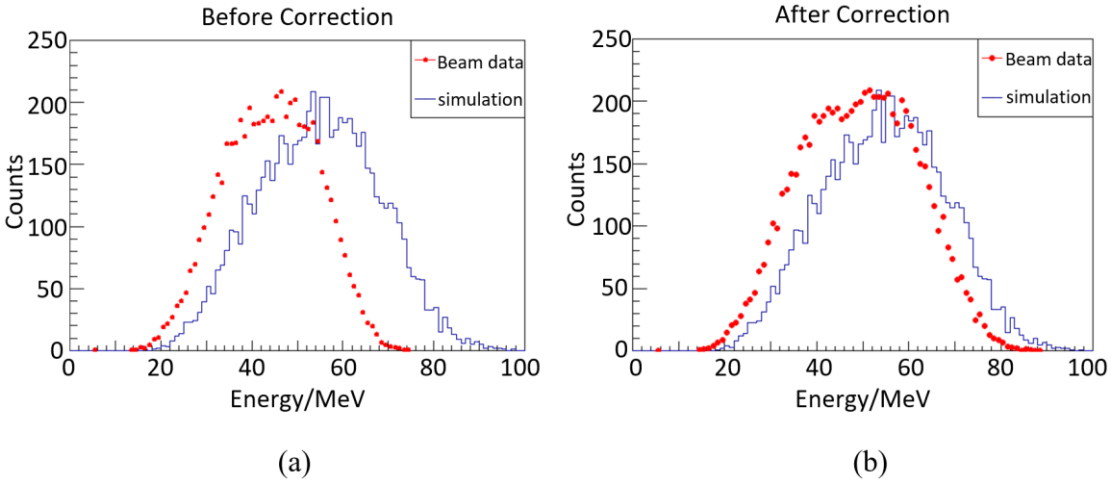


图 6-28 基于 SiPM 刻度技术修正重建能量：(a) 修正前重建结果；(b) 修正后重建结果

以 30 GeV 的入射电子的事例重建为例，图 6-28 给出了修正前后的粒子能量重建结果，图中红点为重建能量值，蓝线则为模拟结果。模拟结果的峰位在 57 MeV，修正前测试结果峰位在 44 MeV，经过修正后的峰位在 51 MeV，相对误差从 23%降低到 11%，该结果说明 SiPM 增益刻度技术可以实现对 SiPM 的增益修正，进而提高样机测量结果精确度。

6.3 本章小结

本章对围绕 CEPC AHCAL 样机展开的束流测试以及束流测试的数据分析工作进行了介绍。

工作组将样机空运至 CERN，并完成了三次束流实验，每次束流窗口期为两周，最大窗口间隔超过半年。在束流实验期间，样机所有的取样层以及数据获取电子学系统均稳定工作。借助于低死时间数据读出技术，样机积累了超过 2000 万的 Muon 事例、约 800 万的正负电子事例、约 3000 万的正负 Pion 事例以及 100 万的质子事例。

通过对束流测试数据的分析，本文提出的大规模、高密度 SiPM 读出技术的信噪比达到 20.6，保证了样机 MIP 刻度的效果。得益于全通道 MIP 刻度，样机能量分辨率达到了 $57.6\%/\sqrt{E_h} \oplus 2.3\%$（10 GeV～80 GeV），能量线性好于 1.5%，满足了 CEPC 探测器系统的设计指标。此外，SiPM 刻度技术将粒子重建结果与模拟预期的相对误差从 23%缩小到 11%，为样机能量分辨率的进一步提高创造了条件。

第7章 总结与展望

7.1 总结

继希格斯玻色子被发现后，世界高能物理学界普遍认为希格斯玻色子精确测量极为重要，是推动高能物理研究跨越式进步的重要手段。为了深度参与希格斯玻色子的精确测量，中国高能物理学界提出了建造 CEPC 的设想。成像型模拟强子量能器组合使用 SiPM 和塑料闪烁体作为取样单元，同时具备极细的颗粒度和良好的能量分辨率，是 CEPC 强子量能器重要的备选技术路线。本文的研究内容为：面向 CEPC AHCAL 样机，展开读出电子学系统研究工作，最终通过束流测试验证该技术路线的可行性。

样机的关键性能指标为能量分辨率好于$60\%/\sqrt{E_h}$（10 GeV ~ 80 GeV）和能量线性好于 1.5%（10 GeV ~ 80 GeV）。结合性能指标和 CEPC 的高亮度特征，本文首先对电子学需求进行了分析和量化，计算出具体的需求为：通道数 12,960（324 通道/每层）、单通道体积小于 5 cm^3、电子学噪声小于 326 fC、电动态范围在 980 fC ~ 235 pC 以及最大事例率高于 3 kHz。此外，由于 SiPM 增益对温度敏感，必须引入 SiPM 增益刻度电路，以提高样机的性能表现。

针对通道数、集成度、电子学噪声和动态范围需求，本文首先结合核电子学方法，确定出最佳的 SiPM 读出电路结构后，通过调研后确定使用 SPIROC2E 作为读出芯片。随后，本文研制了单芯片验证板并完成了电子学测试，测试通道的电子学噪声在 20 fC，动态范围在 60 fC ~ 250 pC。基于该结果本文研制了多芯片验证板，可以实现对 324 通道 SiPM 的信号读出，且单通道体积在 4.8 cm^3。

针对样机事例率要求，本文首先对同类型样机读出技术进行了调研分析，确定出现有样机最大事例率不到 100 Hz 的原因包括：取样面积过大导致 ASIC 翻转时间较长以及 ASIC 串行读出效率较低。就此，本文从 ASIC 端接方式和读出逻辑两方面做出了优化调整，将 CEPC AHCAL 样机的数据读出死时间降低到现有同类型样机的 1/60，最大事例率提高了 30 倍，达到 3 kHz 以上。

针对 SiPM 增益刻度需求，本文对基于温度监测的增益刻度技术和基于单光电子峰谱的增益刻度技术均开展了具体的研究工作。前者利用 SiPM 增益工作温度的线性关系，通过监测 SiPM 工作温度的方式，从而间接获取 SiPM 增益。该技术的难点在于 SiPM 通道数庞大，需要使用大量的温度探头。就此，本文将温度监测问题转化为热传导问题的求解，借助有限元方法将每层前端板所需的温度探头数量从 324 降低到 48。后者利用 SiPM 单光电子峰谱峰间距可以定量描

述其增益的特征，通过获取 SiPM 单光电子峰谱的方式对 SiPM 做增益刻度。该技术的难点在于光脉冲生成电路的设计，本文对同类型样机进行了调研，并提出了双 NMOS 蓝光 LED 驱动电路，克服了现有技术对 LED 电阻敏感的问题。基于该电路，本文设计了分组 SiPM 刻度方案，实现了全通道 SiPM 刻度，SiPM 的平均单光电子峰间距为 25 ADC code。上述两种技术优势互补，前者不引入死时间，后者可以直接获取 SiPM 增益，同时为粒子重建提供参考。

前文中对读出电子学方法的研究工作满足了样机的电子学需求，在此基础上，本文完成了读出电子学系统的设计和实现工作。具体的工作内容包括：前端读出电子学板设计、数据获取电子学板设计、数据传输方案设计、时钟触发方案设计以及事例对齐方案设计，并通过宇宙线测试对系统的功能进行了验证。

为了获取样机确切的性能表现，工作组将样机发往欧洲核子中心，并进行了三次束流实验，每次束流窗口期为两周，最大窗口间隔超过半年。在束流实验期间，样机所有的取样层以及数据获取电子学系统均稳定工作。得益于本文提出的低死时间数据读出技术，样机积累了超过 2000 万的 Muon 事例、约 800 万的正负电子事例、约 3000 万的正负 Pion 事例以及 100 万的质子事例。

束流测试数据的分析结果表明，本文提出的大规模、高密度 SiPM 读出技术的信噪比为 20.6，为样机全通道 MIP 能谱刻度创造了条件。基于准确的刻度结果，样机的能量分辨率达到 $57.6\%/\sqrt{E_h} \oplus 2.3\%$（10 GeV ~ 80 GeV），能量线性好于 1.5%（10 GeV ~ 80 GeV），满足 CEPC 性能指标。此外，本文提出的 SiPM 刻度技术可以将重建结果与模拟预期的相对误差从 23%缩小至 11%，为样机能量分辨率的进一步提高水平奠定了基础。

综上所述，本文开展的读出电子学系统研究工作满足了设计需求，验证了 CEPC 模拟强子量能器的可行性，积累了电子学关键技术。

本论文的创新点总结如下：

1. 针对束流测试快速积累大量事例的需求，提出了并行数据读出技术，将样机最大事例提高到现有样机的 30 倍以上。

2. 针对大规模 SiPM 的刻度需求，提出了一种新型的基于蓝光 LED 的低成本多通道 SiPM 刻度电路，克服了现有技术对 LED 电容敏感的问题。

3. 针对大尺寸前端板的温度监测需求，对现有的温度监测方案做出了改进，提出了基于热传导有限元分析的温度场重建方法。

7.2 展望

基于国内高能物理学的研究现状和发展趋势以及 CEPC AHCAL 样机目前的工作进度，本文提出以下展望：

1.ASIC 的重新设计

SPIROC2E 虽然可以完成技术路线的可行性验证任务，但其并非专门为 CEPC 而设计的读出芯片。SPIROC2E 的制程仅在微米量级，以现有芯片制造工艺，未来完全可以考虑为 CEPC AHCAL 重新设计功耗更低、数据率更高的国产 ASIC 作为替代。

2.SiPM 刻度技术的调整

当前使用的 SiPM 刻度技术所使用到的 LED 驱动电路，无法在产生较多光子数的同时保证足够窄的光脉冲宽度。因此，当前的光刻度技术无法用于获取 SiPM 的非线性表现。在今后的工作中，可以考虑对现有的 SiPM 刻度技术做出进一步的调整，扩充刻度功能的应用范围。

3.数据获取技术的升级

由于束流窗口期紧迫，当前的数据获取系统使用千兆以太网协议完成数据的上传。对于样机目前的通道数和最大数据率，千兆以太网能够满足需求。但是从更长远的 CEPC 建设角度出发，千兆以太网的数据率可能会制约量能器事例率的进一步提高，因此在未来的工作中可以考虑将其升级为万兆以太网协议。

附录 A　SPIROC2E 刻度办法

SPIROC2E 的模拟部分在每个通道都集成了两种不同增益的成形放大电路：高增益通道和低增益通道。ADC 模块会分别对高低增益通道输出的模拟量做 AD 转换。在 CEPC-AHCAL 样机中，当 SiPM 输出信号超出高增益通道的动态范围时，高增益通道饱和，低增益通道仍处在线性区。对获取到的数据进行分析时，需要明确高增益通道的饱和位置。这样在能量重建过程中就可以清晰的知道该通道的高增益输出是否饱和，如果已经饱和则应该使用低增益通道的输出值描述该通道对应闪烁体中沉积的能量。此外，样机在长期的工作中，也需要定期对 SPIROC2E 的状态进行监测，获取每个通道的工作状态。因此需要设计一套适用于 SPIROC2E 的刻度系统。

对电刻度电路的要求为：

1．输入信号波形形状与 SiPM 相同；

2. 输入电荷量线性可控。

对阶跃电压信号进行微分可以得到一个后沿为指数衰减的电流信号，衰减系数为电路的时间常数。该电流信号的总电荷量正比于阶跃信号的幅值，可以满足输入电荷量线性可控的需求。

SPIROC2E 内置了一个模拟信号探针管脚，可以通过配置连接到 SPIROC2E 任意一个输入端。可以通过这个探针管脚实现对 SPIROC2E 各个模拟通道分时注入电荷。

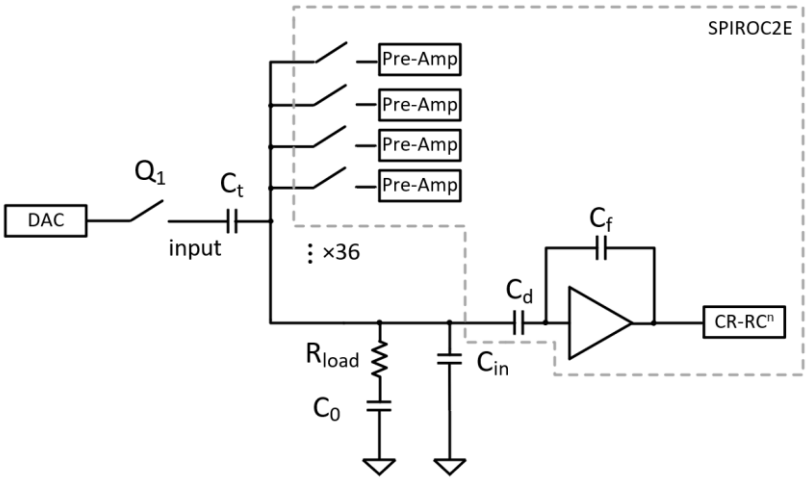


图 A-1 SPIROC2E 电荷注入方案

基于上述条件本论文提出了如图 A-1 所示的电荷注入方法，虚线内是 SPIROC2E 的内部结构。图中 C_t 是微分电容；R_{load} 是输入端跨阻，大小为 200

Ω；C_0为隔直电容，大小为 200 nF；C_{in}为 SPIROC2E 输入端等效输入电容，大小为 16.5 pF。DAC 提供电压偏置，当 DAC 输出稳定并需要刻度时，开关 Q_1会闭合，这样在 C_t的左极板处会产生一个电压阶跃信号，经过电容 C_t微分后注入到 SPIROC2E 的前放的输入端。注入电荷量的大小为：

$$Q = C_t U_0 \tag{A.1}$$

下面对 SPIROC2E 输入端的信号波形进行讨论。对阶跃电压信号微分后信号前沿很快，后沿宽度与 C_t相关，合理的 C_t取值可以使得 SPIROC2E 输入端的电压波形很好地模拟出 SiPM 的波形形状。

设 DAC 输出的电压为 U_0，Q_1闭合后 C_t处输入的电压信号为：

$$u(t) = U_0 \varepsilon(t) \tag{A.2}$$

做拉普拉斯变化得到：

$$u(s) = \frac{U_0}{s} \tag{A.3}$$

在 SPIROC2E 的输入端有（C_0容值较大可以忽略）：

$$V(s) = \frac{R_{load} // \frac{1}{C_{in}s}}{R_{load} // \frac{1}{C_{in}s} + \frac{1}{C_t s}} \cdot \frac{U_0}{s} \tag{A.4}$$

转换到时域上得到：

$$V(t) = \frac{C_t}{C_t + C_{in}} U_0 e^{-\frac{t}{(C_t + C_{in})R_{load}}} \tag{A.5}$$

CEPC-AHCAL 样机中使用的 S14160-1315PS 的后沿总宽度为 50ns，时间常数$\tau_{fall} = 10ns$。为了模拟 SiPM 的信号波形，需要：

$$(C_t + C_{in})R_{load} = \tau_{fall} \tag{A.6}$$

代入 R_{load}=200 Ω，C_{in}=16.5 pF，可以得到 C_t=33.5 pF。至此，SPIROC2E 电刻度的方案以及使用器件的参数都确定下来了。

下面将介绍具体的设计方案。图 A-3 给出了单板的电刻度电路。DAC 的选型为 TLV5618，最大输出电压为 3.3V。DAC 的信号会进入三个运算放大器中进行放大，运算放大器的选型为 AD8591。DAC 的信号在运放中被放大两倍送入开关芯片 ADG741 的输入端。FPGA 的触发是开关芯片的闭合信号，同时也作为 SPIROC2E 的触发信号。开关芯片之间的闭合时间会由于触发信号的延时而稍有延时，这可以通过调整 SPIROC2E 的触发延时来补偿。

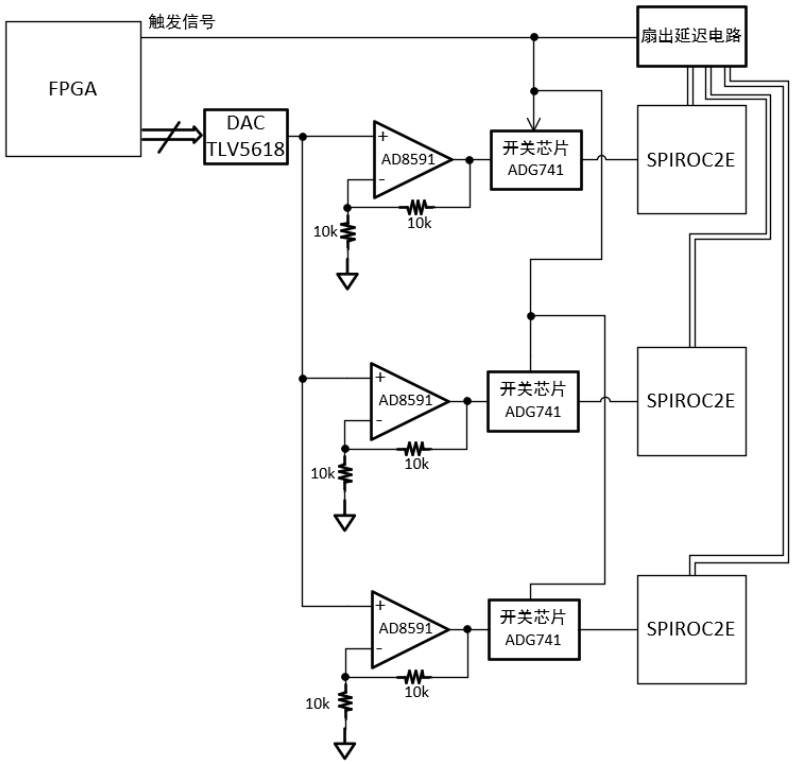


图 A-3 SPIROC2E 刻度电路图

实现电刻度功能需要 FPGA 的逻辑配合，FPGA 逻辑工作流程为：

当上位机发起开始电刻度的命令，FPGA 会重新配置 SPIROC2E 的触发阈值到最大，触发模式为外触发，并配置 SPIROC2E 的 probe 管脚指向需要刻度的通道。完成 SPIROC2E 的配置后，FPGA 会下发使能 AD8591 的信号，然后配置 DAC 到需要的输出值。完成配置后，FPGA 会向 SPIROC2E 下发采数命令，开始采数。采数完成后对 DAC 当前值进行判断，如果没有达到设定的 DAC 最大值则重新配置 DAC 再次进行数据采集。当在 DAC 输出到规定最大值的情况下完成采数后，会配置 probe 管脚指向下一个通道。当所有通道都刻度完成则关闭 AD8591，配置 DAC 输出为，退出电刻度。

附录 B　温度探头读出方法

每块 sub-HBU 板上包含 16 块温度探头的数据需要被读出，共计需要读出 48 个温度探头，具体的读出电路如图 B-1 所示。选用了基于 I2C 协议的选通芯片 PCA9548，该芯片可以将一组 I2C 输出信号选通到不同的 8 个通道。PCA9548 自身有 2bit 地址位，不同的地址的 PCA9548 需要写入不同的地址才可以被选中。图 B-1 给出的是 sub-HBU C 板的温度探头读出电路，PCA9548 的地址为 00，修改电阻的焊接方式将 PCA9548 的地址改为 01，10 以对应到 F 板和 VF 板。温度探头选择的是 TMP117，该款温度探头探测温度范围为-256~+256 ℃，输出温度数据位宽 16bit，精度±0.1 ℃，使用 I2C 协议通信，并且包含 1bit 的地址位。结合 PCA9548 的 8 通道选通功能，可以实现使用一对数据时钟线实现对 16 个温度探头的数据读出。

温度探头的读出流程如下：

上位机下发温度读出命令，选中到地址为 00 的 PCA9528，此后依次选通到 PCA9528 的 8 个通道。选通到 PCA9528 的某个通道后，DIF 板上的 FPGA 会顺序读出地址为 0、1 的 TMP117 温度数据，完成读数后再选通到当前 PCA9528 的下一个通道，重复该过程直到当前选中的 PCA9528 对应的 16 个温度探头数据都被读出。当完成地址为 00 的 PCA9548 所对应的 16 个温度探头的数据读出后，FPGA 会依次选中地址为 01 和 10 的 PCA9528 使用相同的方法读出另外的 32 个温度探头。

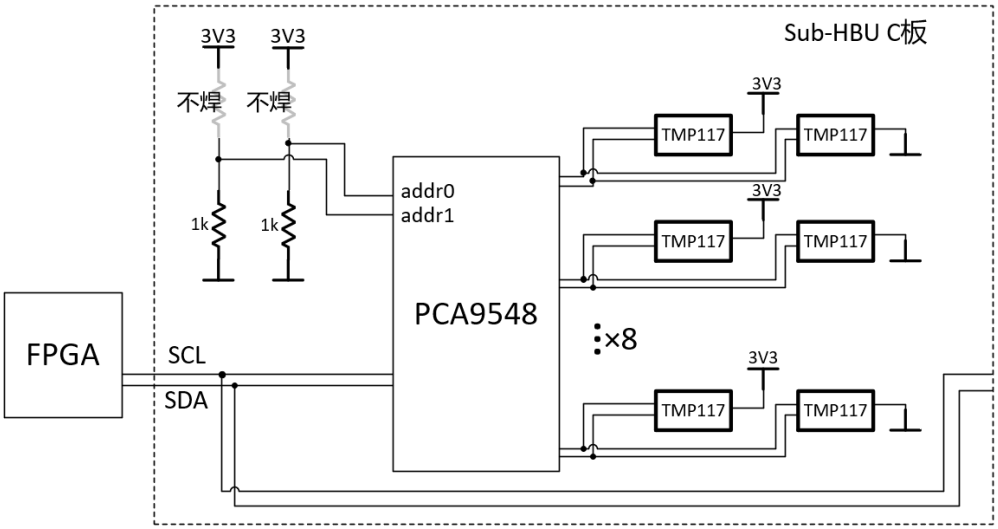


图 B-1 板温度探头读出电路

参 考 文 献

[1] 赵凯华; 罗蔚茵. 《新概念物理教程 量子物理》第一版. 高等教育出版社. ISBN 7040088347.

[2] Griffiths, David, Introduction to Elementary Particles 2nd revised, WILEY-VCH, 2008, ISBN 978-3-527-40601-2。

[3] Strassler, Matt. The Known Particles – If The Higgs Field Were Zero. Article by Dr Matt Strassler of Rutgers University. 8 October 2011 [13 November 2012].

[4] Higgs, P.W., 1966. Spontaneous symmetry breakdown without massless bosons. Physical Review, 145(4), p.1156.

[5] Englert, F., and Brouter., 1964, Phys. Rev. Lett. 13, 321

[6] Guralnik, G.S., Hagen, C.R., and Kibble, T. W. B, 1964, Phys. Rev. Lett. 13, 585

[7] ATLAS Collaboration, Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC, Phys. Lett. B 716 (2012) 1–29, arXiv:1207.7214 [hep-ex].

[8] CMS Collaboration, Observation of a new boson at a mass of 125 GeV with the CMS experiment at the LHC, Phys. Lett. B716 (2012) 30–61, arXiv:1207.7235 [hep-ex].

[9] Group, L. H. C. S. W. , Dittmaier, S. , Mariotti, C. , Passarino, G. , & Zirke, T. . (2011). Handbook of lhc higgs cross sections: 1. inclusive observables.

[10] Kauer, N., Plehn, T., Rainwater, D., & Zeppenfeld, D. (2001). H→ WW as the discovery mode for a light Higgs boson. Physics Letters B, 503(1-2), 113-120.

[11] Kniehl, B. A. (1991). Radiative corrections for H→ ZZ in the standard model. Nuclear Physics B, 352(1), 1-26.

[12] Baglio, Julien; Djouadi, Abdelhak. Higgs production at the LHC. Journal of High Energy Physics. 2011, **1103**: 055. Bibcode:2011JHEP...03..055B.

[13] LHC Machine Outreach. CERN. [26 July 2012].

[14] Aaboud, M. , Aad, G. , Abbott, B. , Abdinov, O. , & Zwalinski, L. . (2018). Observation of h → b b decays and vh production with the atlas detector. Physics Letters B, 786.

[15] Kilian, W. , Ohl, T. , & Jürgen Reuter. (2011). Whizard: simulating multi-particle processes at lhc and ilc. European Physical Journal C, 71(9), 1-29.

[16] Amaldi, U. , Boer, W. D. , & Hermann Fürstenau. (1991). Comparison of grand unified theories with electroweak and strong coupling constants measured at lep. Physics Letters B, 260(3), 447–455.

[17] Bruyneel, B. , Reiter, P. , Wiens, A. , & Eberth, J. . (2007). Ilc technical design report. Ikp

Uni.

[18] Bambade, P. , Barklow, T. , Behnke, T. , Berggren, M. , Brau, J. , & Burrows, P. , et al. (2019). The international linear collider. a global project.

[19] Linssen, L. , Miyamoto, A. , Stanitzki, M. , & Weerts, H. . (2012). Physics and detectors at clic: clic conceptual design report. Eprint Arxiv.

[20] Brunner, O. , Burrows, P. N. , Calatroni, S. , Lasheras, N. C. , Corsini, R. , & D'Auria, G. , et al. (2022). The clic project.

[21] Gao, & J. (2017). Cepc-sppc accelerator status towards cdr. International Journal of Modern Physics A, 32(34), 1746003.

[22] Suarez, R. G. . (2022). The future circular collider (fcc) at cern.

[23] The CEPC-SPPC Study Group. (Oct. 2018). *CEPC Conceptual Design Report Physics & Detector*. vol. 2. [Online]. Available: http://cepc.ihep.ac.cn/CEPC_CDR_Vol2_Physics-Detector.pdf

[24] Collaboration, T. C. . Particle-flow reconstruction and global event description with the CMS detector.

[25] Abe, F., Albrow, M. G., Amidei, D., Antos, J., Anway-Wiese, C., Apollinari, G., ... & Holloway, L. (1995). Measurement of the W boson mass. Physical Review D, 52(9), 4784.

[26] Willenbrock, S., & Valencia, G. (1991). On the definition of the Z-boson mass. Physics Letters B, 259(3), 373-376.

[27] Nguyen, & Matthew. (2011). Jet reconstruction with particle flow in heavy-ion collisions with cms. Journal of Physics G Nuclear & Particle Physics, 38(12), 124151-124154(4).

[28] Knowles, I. G. , & Lafferty, G. D. . (1997). Hadronization in Z0 decay. 10.1088/0954-3899/23/7/003.

[29] Inst, T. N. . (2009). Particle flow calorimetry and the pandorapfa algorithm. And Methods in Physics Research A.

[30] Marshall, J. S. , & Thomson, M. A. . (2013). The pandora particle flow algorithm. Physics.

[31] The CEPC-SPPC Study Group. (Oct. 2018). *CEPC Conceptual Design Report Physics & Detector*. vol. 2. [Online]. Available: http://cepc.ihep.ac.cn/CEPC_CDR_Vol2_Physics-Detector.pdf

[32] Freeman, J. (2010). Innovations for the CMS HCAL. At the Leading Edge: The ATLAS and CMS LHC Experiments, 259.

[33] Morgunov, V. L. (2002). Calorimetry design with energy-flow concept (imaging detector for high-energy physics). In Calorimetry In Particle Physics (pp. 70-84).

[34] Martelli, A. (2017). The CMS HGCal detector for HL-LHC upgrade. arXiv preprint

arXiv:1708.08234.

[35] Wigmans, R. (1988). High resolution hadron calorimetry. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 265(1-2), 273-290.

[36] Brianne, E. . (2015). The calice technological prototype of the analog hadronic calorimeter for ilc.

[37] Hadronic energy resolution of a highly granular scintillator-steel hadron calorimeter using software compensation techniques. Journal of Instrumentation, 7(9), 9017.

[38] Grenier, Gérald. (2022). Recent developments of the sdhcal prototype.

[39] Laktineh, I. . (2009). Development of a semi-digital hadronic calorimeter using grpc. Nuclear Inst & Methods in Physics Research A, 623(1), 231-233.

[40] Baulieu, G., Bedjidian, M., Belkadhi, K., Berenguer, J., Boudry, V., Calabria, P., ... & Zaganidis, N. (2015). Construction and commissioning of a technological prototype of a high-granularity semi-digital hadronic calorimeter. Journal of Instrumentation, 10(10), P10039.

[41] Steen, & Arnaud. (2015). Results of the calice sdhcal technological prototype. Journal of Physics: Conference Series, 587, 012035.

[42] Aarons, G. (2008). International linear collider reference design report.

[43] Laudrain, A., & CALICE Collaboration. (2022, November). The CALICE AHCAL: a highly granular SiPM-on-tile hadron calorimeter prototype. In Journal of Physics: Conference Series (Vol. 2374, No. 1, p. 012017). IOP Publishing.

[44] CEPC Study Group. (2018). CEPC Conceptual Design Report: Volume 2-Physics & Detector. arXiv preprint arXiv:1811.10545.

[45] Shi, Y., Zhang, Y., Ruan, M., & Liu, J. (2022). Design and optimization of the CEPC scintillator hadronic calorimeter. Journal of Instrumentation, 17(11), P11034.

[46] Ghassemi, A., Sato, K., & Kobayashi, K. (2017). MPPC Technical note. Hamamatsu Photonics KK, Solid State Division.

[47] Cattaneo, P. W., Menegolli, A., Prata, M. C., Raselli, G. L., & Rossella, M. (2020). Characterization of Hamamatsu 14160 series of Silicon Photo-Multipliers. Journal of Instrumentation, 15(09), C09056.

[48] Li, L., Shan, Q., Jia, W., Yu, B., Liu, Y., Shi, Y., ... & Jiang, J. (2021). Optimization of the CEPC-AHCAL scintillator detector cells. Journal of Instrumentation, 16(03), P03001.

[49] Bretz, T., Hebbeker, T., Lauscher, M., Middendorf, L., Niggemann, T., Schumacher, J., ... & Ruiz, A. G. (2016). Dynamic range measurement and calibration of SiPMs. Journal

of Instrumentation, 11(03), P03009.

[50] Belayneh, D., Carminati, F., Farbin, A., Hooberman, B., Khattak, G., Liu, M., ... & Zhang, M. (2020). Calorimetry with deep learning: particle simulation and reconstruction for collider physics. The European Physical Journal C, 80(7), 1-31.

[51] MPPC S14160-1315PS[M]. 1126-1 Ichino-cho, Higashi-ku, Hamamatsu City, 435-8558 Japan: HAMAMATSU PHOTONICS K.K., Solid State Division, Sep. 2023

[52] Polak, I., & Kvasnicka, J. (2012, October). Fast calibration UV LED system for CALICE scintillator based tile hadron calorimeter. In 2012 IEEE Nuclear Science Symposium and Medical Imaging Conference Record (NSS/MIC) (pp. 1240-1243). IEEE.

[53] Barklow, T., Brau, J., Fujii, K., Gao, J., List, J., Walker, N., & Yokoya, K. (2015). ILC operating scenarios. arXiv preprint arXiv:1506.07830.

[54] Cheng, H., Chiu, W. H., Fang, Y., Gao, Y., Gu, J., Li, G., ... & Zhuang, X. (2022). The physics potential of the cepc. prepared for the us snowmass community planning exercise (snowmass 2021). arXiv preprint arXiv:2205.08553.

[55] 安继刚. 《电离辐射探测器》. 北京: 原子能出版社. 1995. ISBN 978-7-5022-1332-9

[56] Calò, P. P., Ciciriello, F., Petrignani, S., & Marzocca, C. (2019). SiPM readout electronics. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 926, 57-68.

[57] Kilian, W. , Ohl, T. , & Jürgen Reuter. (2011). Whizard: simulating multi-particle processes at lhc and ilc. European Physical Journal C, 71(9), 1-29.

[58] 封常青. 空间暗物质探测卫星量能器读出电子学方法研究. (Doctoral dissertation, 中国科学技术大学).

[59] 周志成. (1986). 核电子学基础. 北京原子能出版社.

[60] Calò, P. P., Ciciriello, F., Petrignani, S., & Marzocca, C. (2019). SiPM readout electronics. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 926, 57-68.

[61] MPPC S14160-1315PS[M]. 1126-1 Ichino-cho, Higashi-ku, Hamamatsu City, 435-8558 Japan: HAMAMATSU PHOTONICS K.K., Solid State Division, Sep. 2023

[62] BC-400,BC-404,BC-408,BC-412,BC-416 Premium Plastic Scintillators[M]. Luxium Solutions, LLC. 2007

[63] LTC6406[M]. 1630 McCarthy Blvd., Milpitas: Linear Technology Corporation, 2007

[64] AD8091[M]. 1630 McCarthy Blvd., Milpitas: Linear Technology Corporation, 2007

[65] LTC6409[M]. 1630 McCarthy Blvd., Milpitas: Linear Technology Corporation, 2007

[66] OPA847[M]. Dallas, Texas 75265: Texas Instruments, 2008

[67] LMH6629[M]. Dallas, Texas 75265: Texas Instruments, 2014

[68] OPA858 [M]. Dallas, Texas 75265: Texas Instruments, 2018

[69] THS4302[M]. Dallas, Texas 75265: Texas Instruments, 2006

[70] Wulleman, J. (1996). Detector-noise suppression by appropriate CR-(RC) n shaping. Electronics Letters, 32(21), 1953-1954.

[71] Yamamoto, K., Yamamura, K., Sato, K., Ota, T., Suzuki, H., & Ohsuka, S. (2006, October). Development of multi-pixel photon counter (MPPC). In 2006 IEEE Nuclear Science Symposium Conference Record (Vol. 2, pp. 1094-1097). IEEE.

[72] Raymond, M., Moreira, P., Fulcher, J. R., French, M., Marseguerra, G., Neviani, A., ... & Hall, G. (2000). The CMS tracker APV25 $0.25\mu m $ CMOS readout chip.

[73] Anghinolfi, F., Jarron, P., Krummenacher, F., Usenko, E., & Williams, M. C. S. (2003, October). NINO, an ultra-fast, low-power, front-end amplifier discriminator for the Time-Of-Flight detector in ALICE experiment. In 2003 IEEE Nuclear Science Symposium. Conference Record (IEEE Cat. No. 03CH37515) (Vol. 1, pp. 375-379). IEEE.

[74] Zheng, Q., Zhao, D., Deng, J., Xu, X., & Ou, Z. (2021, December). Front-end Electronics Design for Micro-Pattern Gas Detectors Based on VA140. In 2021 5th International Conference on Vision, Image and Signal Processing (ICVISP) (pp. 167-170). IEEE.

[75] Jiang, D., Feng, C., Zhang, C., Gao, S., Zhang, D., Shen, Z., ... & An, Q. (2014, May). Design of a test platform for screening procedures of VA160 and VATA160 ASICs in DAMPE mission. In 2014 19th IEEE-NPSS Real Time Conference (pp. 1-4). IEEE.

[76] Anvar, S., Baron, P., Blank, B., Chavas, J., Delagnes, E., Druillole, F., ... & Usher, N. (2011, October). AGET, the GET front-end ASIC, for the readout of the Time Projection Chambers used in nuclear physic experiments. In 2011 IEEE Nuclear Science Symposium Conference Record (pp. 745-749). IEEE.

[77] Impiombato, D., Giarrusso, S. A. L. V. A. T. O. R. E., Mineo, T. E. R. E. S. A., Catalano, O. S. V. A. L. D. O., Gargano, C., La Rosa, G. I. O. V. A. N. N. I., ... & Romeo, G. (2015). Characterization and performance of the ASIC (CITIROC) front-end of the ASTRI camera. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 794, 185-192.

[78] Callier, S., Dulucq, F., Fabbri, R., de La Taille, C., Lutz, B., Martin-Chassard, G., ... & Shen, W. (2009, October). Silicon Photomultiplier integrated readout chip (SPIROC) for the ILC: measurements and possible further development. In 2009 IEEE Nuclear Science

Symposium Conference Record (NSS/MIC) (pp. 42-46). IEEE.

[79] Di Lorenzo, S. C., Callier, S., Fleury, J., Dulucq, F., De la Taille, C., Chassard, G. M., ... & Seguin-Moreau, N. (2013). SPIROC: design and performances of a dedicated very front-end electronics for an ILC Analog Hadronic CALorimeter (AHCAL) prototype with SiPM read-out. Journal of Instrumentation, 8(01), C01027.

[80] 黄厚诚, & 王秋良. (2011). 热传导问题的有限元分析 (pp. 1-90). 北京: 科学出版社.

[81] 孙志忠, & 计算数学. (2005). 偏微分方程数值解法. 科学出版社.

[82] P. G. Ciarlet: The Finite Element Method for Elliptic Problems, North-Holland, 1978

[83] MPPC S14160-1315PS[M]. 1126-1 Ichino-cho, Higashi-ku, Hamamatsu City, 435-8558 Japan: HAMAMATSU PHOTONICS K.K., Solid State Division, Sep. 2023

[84] Lee, S., Son, J., Kim, D. G., Choi, J., & Kim, Y. K. (2019). Characterization of plastic scintillator fabricated by UV LED curing machine. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 929, 23-28.

[85] OSRAM LB Q39E 产品说明书[M]. Tobelbader Strasse 30, 8141 Premstaetten, Austra: ams-OSRAM AG, 2023

[86] Kvasnicka, J., Polak, I., & CALICE collaboration. (2012). LED calibration systems for CALICE hadron calorimeter. Physics Procedia, 37, 402-409.

[87] White, A., Yu, J., Eigen, G., Zalieckas, J., Dannheim, D., Elsener, K., ... & Calice Collaboration. (2023). Design, construction and commissioning of a technological prototype of a highly granular SiPM-on-tile scintillator-steel hadronic calorimeter. Journal of Instrumentation, 18(11), P11018.

[88] Kim, Y. H., Nam, J. K., Sohn, Y. S., Park, H. J., Ku, K. B., Wee, J. K., ... & Park, C. S. (1999). Fully on-chip current controlled open-drain output driver for high-bandwidth DRAMs. IEICE transactions on electronics, 82(11), 2101-2104.

[89] Kumar, T., Pandey, B., & Das, T. (2013, December). LVCMOS I/O standard and drive strength based energy efficient design on ultra scale FPGA. In 2013 International Conference on Green Computing, Communication and Conservation of Energy (ICGCE) (pp. 116-119). IEEE.

[90] 黄继承, 黄继文, 彭星波, & 张特. (2015). 高速电路设计研究. 通信电源技术, 32(6), 41-44.

[91] 王智, & 罗新民. (2005). 基于乒乓操作的异步 FIFO 设计及 VHDL 实现. 电子工程师, 6.

[92] Baesso, P., Cussans, D., & Goldstein, J. (2019). The AIDA-2020 TLU: a flexible trigger

logic unit for test beam facilities. Journal of Instrumentation, 14(09), P09019.

[93] Behrens, U., Perrey, H., Crescioli, F., Peschke, R., Cussans, D., Campbell, A., & Rubinskiy, I. (2015). Evolving the DAQ and Analysis Software of the AIDA Telescope: Toward high rates and one-trigger-per-particle Operation (No. AIDA-NOTE-2015-010).

[94] Anderson, J., Borga, A., Boterenbrood, H., Chen, H., Chen, K., Drake, G., ... & Zhang, J. (2015, December). FELIX: A high-throughput network approach for interfacing to front end electronics for ATLAS upgrades. In Journal of Physics: Conference Series (Vol. 664, No. 8, p. 082050). IOP Publishing.

[95] Widmer, A. X., & Franaszek, P. A. (1983). A DC-balanced, partitioned-block, 8B/10B transmission code. IBM Journal of research and development, 27(5), 440-451.

[96] 7 Series FPGAs SelectIO Resources[M]. Xilinx, Inc. 2018

[97] MPPC S14160-1315PS[M]. 1126-1 Ichino-cho, Higashi-ku, Hamamatsu City, 435-8558 Japan: HAMAMATSU PHOTONICS K.K., Solid State Division, Sep. 2023

[98] Liu, H., Shen, Z., Niu, Y., Feng, C., & Liu, S. (2020). Development of a SPIROC2E-based scintillator test platform for CEPC AHCAL prototype. Journal of Instrumentation, 15(10), C10006.

[99] Duan, Y., Jiang, J., Li, J., Li, L., Li, S., Liu, D., ... & Zhang, Y. (2022). Scintillator tile batch test of CEPC AHCAL. Journal of Instrumentation, 17(05), P05006.

[100] Tahir, N. A., Schmidt, R., Brugger, M., Assmann, R., Shutov, A. V., Lomonosov, I. V., ... & Fortov, V. E. (2008). The CERN Super Proton Synchrotron as a tool to study high energy density physics. New Journal of Physics, 10(7), 073028.

[101] Blazianu, M. J., Ward, C. E., Wanderer, P., Mistry, N., Suller, V., Dammann, I., ... & Fraser, G. (1977). Inauguration of the SPS 139 Ceremony of inauguration for the CERN 400 GeV proton synchrotron with emphasis on a speech about the physics which the accelerator will make possible. CERN COURIER, 17(5).

[102] Scheck, F. (1978). Muon physics. Physics Reports, 44(4), 187-248.

[103] Green, G. K., & Courant, E. D. (1959). The proton synchrotron. In Nuclear instrumentation I/Instrumentelle Hilfsmittel der Kernphysik I (pp. 218-340). Berlin, Heidelberg: Springer Berlin Heidelberg.

[104] SYNCHROTRON, P. Proton Synchrotron.

[105] Standley, P. H. (1963). Status Report on the CERN Proton Synchrotron.

[106] Emberger, L. (2021). Analysis of testbeam data recorded with the large CALICE AHCAL technological prototype. arXiv preprint arXiv:2105.08497.

致　谢

从 2014 年进入中国科学技术大学到如今已经是第九个春天，今年学校的樱花马上就要开放，希望在毕业后每年都还能回校赏樱。站在学生生涯的终点处回头看，刚入校的点点滴滴仿佛就在眼前。在教学楼和图书馆中埋头苦读的时光，在实验室通宵达旦的日子都渐渐地融入我的精神，成为我不可或缺的一部分。

感谢我的导师刘树彬教授对我的教导之恩。刘老师对学生有着高度的责任心，总是为学生的毕业而担忧忙碌，给予了我极大的关心和爱护。我有幸担任过刘老师的课程助教，刘老师严谨的治学态度对我起到了身教的作用，他教授的三极管工作原理令我久久难以忘怀。感谢我的导师沈仲弢老师，沈老师总是冲在科研项目的第一线，当我手上的项目遇到难题时沈老师总能给我提供关键性的指导意见。在我松懈时，沈老师会帮我制定目标并协助我按时完成。在生活上，沈老师总是替我着想，给予我尽可能的帮助，使我倍感温暖。

感谢实验室的王砚方老师和安琪老师，他们对学术饱满的热情和严谨的态度不断地激励着我，使我对今后的生活充满了热情和决心。感谢封常青老师，在我初入实验室时给予了我极大的信任和关怀，使我很快地融入了实验室的环境中。感谢实验室的曹喆老师和王宇老师，在我遇到技术问题时您们总是耐心地向我提供帮助。感谢实验室的程伊敏老师、王颖颖老师和阳青青老师，您们不辞辛苦为我们的科研工作提供了坚实的保障。感谢重点实验室的刘建北和张云龙老师，刘老师知识渊博、才思敏捷，提高了我对高能物理的认识；张老师为人幽默风趣，待学生宽厚温柔，在我犯错时会委婉指出。

感谢已经毕业的赵申森、马思源、李诚、杨晨飞、祝星、元光远、王叔文、陈昊磊、胡佳栋师兄和李敏、朱丹阳师姐在我初入实验室时给予的指导和关心。感谢赵珂庆、水雁斌、滕尧、周自衡、刘豪、王轶超、赵懋源、周凡等同学在生活和工作上给予我的帮助。感谢核探测与核电子学国家重点实验室的石禹坤师兄和王家轩师弟，您们在探测器原理和高能物理探测器知识方面给予我专业且及时的回答。

感谢我的家人，他们在我多年求学生涯一直给予着我无私的爱与支持。

感谢我的妻子吴菲菲女士，她总是能给予我无条件的支持和无微不至的关心。感谢她不介意我的一无所有，义无反顾地嫁给我。2022 年，刚刚完婚我就前往欧洲做束流测试只留她一人在家，对此她给予了我极大的包容并无怨言。在我忧心毕业进度，想早点工作时，她总是劝我不必着急，珍惜学生生活。感

谢她为我单调的生活带来色彩与活力，让我觉得每天的生活都充满希望。

在这里，我也想对以后的自己说：不惧困难，砥砺前行。

最后，谨向为本论文提供资助和支持的科技部国家重点研发计划项目“高能环形正负电子对撞机关键技术研发和验证（No.: 2016YFA0400400）”中课题“成像型强子量能器关键技术研究”、基金委重点项目“成像型电磁量能器关键技术研究（No.: 11635007）”和国家杰出青年科学基金项目“核电子学方法研究及应用（No.: 12025504）”致以最诚挚的谢意。

在读期间发表的学术论文与取得的其他研究成果

已发表论文：

[1] **Zhou, A.** , Shen, Z. , Zhao, S. , Shi, Y. , & Liu, S. . (2020). Study on the fpga-based temperature compensation for the sipm of cepc ecal prototype. Journal of Instrumentation, 15(10), C10008-C10008.

[2] **Zhou, A.**, Shen, Z., Shi, Y., & Liu, S. (2023). The single-layer readout electronics design and development for CEPC scintillator analog hadronic calorimeter prototype. Journal of Instrumentation, 18(05), P05001.

[3] 赵申森, 沈仲弢, **周安顺**, 牛亚洲, 封常青, & 刘树彬. (2020). 基于 LED 纳秒级脉冲的 SiPM 阵列监测电路. 原子能科学技术, 54(6), 1047.

[4] Tsuji, N. , Masuda, R. , Murata, T. , Ootani, W. , Takeshita, T. , & **Zhou, A**. , et al. (2023). Highly granular scintillator-strip electromagnetic calorimeter for future higgs factories. Nuclear Instruments and Methods in Physics Research, Section A. Accelerators, Spectrometers, Detectors and Associated Equipment, 1047.

[5] Niu, Y., Zhao, S., Zhang, Y., Shen, Z., Dong, M., Wang, Z.Wang, Y.Shi, **A Zhou** & Liu, S. (2020). Design of Sc-ECAL prototype for CEPC and performance of first two layers. Journal of Instrumentation, 15(05), C05036.